

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takeshi NAGAI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-345975	October 3, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 0 月 3 日
Date of Application:

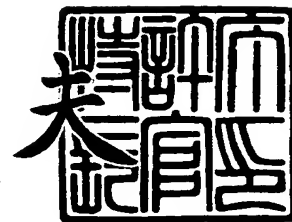
出 願 番 号 特 願 2 0 0 3 - 3 4 5 9 7 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 3 4 5 9 7 5]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願
【整理番号】 A000302395
【提出日】 平成15年10月 3日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/82
H01L 27/10

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 永井 健

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内
【氏名】 芳賀 亮

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181

【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲

【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠

【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊

【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎

【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

不揮発性メモリ素子と、前記不揮発性メモリ素子から読み出されたデータをラッチするラッチ回路と、前記ラッチ回路にラッチされた前記データを必要とする制御回路とを具備し、さらに、前記データが符号化されている場合には、前記不揮発性メモリ素子から前記制御回路までの前記データの転送経路に接続され、前記データを復号する復号器を具備し、前記データが符号化されていない場合には、前記転送経路に接続され、前記データを符号化する符号化器と、前記転送経路に接続され、前記符号化器により符号化された前記データを復号する復号器とを具備することを特徴とする半導体集積回路。

【請求項 2】

不揮発性メモリ素子と、前記不揮発性メモリ素子から読み出されたデータが入力される複数の機能ブロックとを具備し、前記複数の機能ブロックの各々は、前記データをラッチするラッチ回路と、前記データを必要とする制御回路とを有し、さらに、前記データが符号化されている場合には、前記不揮発性メモリ素子から前記制御回路までの前記データの転送経路に前記データを復号する復号器が接続され、前記データが符号化されていない場合には、前記転送経路に、前記データを符号化する符号化器と、前記符号化器により符号化された前記データを復号する復号器とが接続されることを特徴とする半導体集積回路。

【請求項 3】

不揮発性メモリ素子と、前記不揮発性メモリ素子から読み出されたデータを符号化する符号化器と、前記符号化器により符号化された前記データをラッチするラッチ回路と、前記ラッチ回路にラッチされた前記データを復号する復号器と、前記復号器により復号された前記データを必要とする制御回路とを具備する半導体集積回路において、

前記復号器は、前記データの誤りを訂正する機能を有し、さらに、前記半導体集積回路は、前記ラッチ回路を制御するラッチデータリフレッシュ制御回路を具備し、

前記ラッチデータリフレッシュ制御回路は、前記復号器が前記データの誤りを検出すると、前記復号器により誤り訂正された前記データを、再び、前記ラッチ回路にラッチさせることを特徴とする半導体集積回路。

【請求項 4】

請求項 3 に記載の半導体集積回路において、さらに、前記不揮発性メモリ素子から読み出された前記データの転送を制御する転送制御回路を具備し、

前記転送制御回路は、前記復号器が前記データの誤りを検出し、かつ、その誤りが前記復号器の誤り訂正能力を超えるものであるとき、前記不揮発性メモリ素子から読み出された前記データを、再び、前記ラッチ回路に転送させることを特徴とする半導体集積回路。

【請求項 5】

データを不揮発性メモリ素子にプログラムし、前記不揮発性メモリ素子から読み出された前記データを符号化してラッチ回路にラッチさせ、前記ラッチ回路にラッチされた前記データを復号し、前記データを復号するときに前記データの誤りを検出すると、前記データの誤り訂正を行うと共に、前記誤り訂正された前記データを、再び、前記ラッチ回路にラッチさせ、その後、前記誤り訂正された前記データに基づいて内部回路の動作に関する基本設定を行うことを特徴とするチップ初期状態の設定方法。

【請求項 6】

前記データを復号するときに前記データの誤りを検出し、かつ、その誤りが誤り訂正能力を超えるものであるとき、前記不揮発性メモリ素子から読み出された前記データを、再び、前記ラッチ回路に転送させることを特徴とする請求項 5 に記載の設定方法。

【書類名】 明細書

【発明の名称】 半導体集積回路

【技術分野】

【0001】

本発明は、レーザフューズ、E (electrically) -フューズ、アンチフューズなどの不揮発性メモリ素子に半永久的に記憶されたデータに基づいてチップ動作などの基本設定を行うためのフューズ回路に関し、特に、そのデータの転送路においてノイズなどによるデータ破壊が発生し易い半導体集積回路に適用される。

【背景技術】

【0002】

従来、半導体集積回路内には、動作速度、動作電圧などの内部回路の動作に関するデータ、メモリ回路内の不良セルを救済するためのリダンダンシデータ、チップID、さらには、セキュリティデータなどを記憶するために、フューズ素子などの不揮発性メモリ素子が設けられる。

【0003】

例えば、フューズ回路では、複数のフューズ素子からなるフューズセットにより、これらのデータを記憶する。フューズ素子を、E -フューズ、アンチフューズなどの電氣的にプログラムできる素子にすれば、これらのデータの記憶は、アセンブリ工程の前後のいずれの時期においても行うことができる。

【0004】

しかし、特に、フューズ素子に、E -フューズ、アンチフューズなどの電氣的にプログラム可能な素子を使用した場合には、プログラム時に、全てのデータが正確にプログラムされない場合がある。また、内部回路の動作に関するデータや、リダンダンシデータなどは、フューズ回路からそれらのデータを必要とする内部回路へ、長い転送経路を経由して転送される。このため、その転送経路において、ノイズなどによるデータ破壊が発生する場合がある。

【0005】

特許文献1の技術は、プログラムデータをアンチフューズペアに記憶させることにより、そのプログラムデータの読み出し時の信頼性を向上させる点に特徴を有する。即ち、プログラムデータの値に応じて、アンチフューズペアのうちのいずれか一方に対して書き込み（絶縁破壊）を実行する。この場合、プログラムデータ（“0”又は“1”）を読み出すときのアンチフューズペアの抵抗値の差を大きくできるため、読み出し時におけるデータ判別の信頼性を向上できる。

【0006】

従って、例えば、1つのフューズ素子によりプログラムデータを記憶する場合には、フューズ素子の特性（破壊状態）のばらつきが読み出しに悪影響を与えることになるが、特許文献1の技術では、このような悪影響を、アンチフューズペアにプログラムデータを記憶させることにより軽減することができる。

【0007】

しかし、このような構成にしても、例えば、上述したような転送経路で発生するノイズなどによるデータ化けなどに関しては、特許文献1の技術では、全く回避することができない。当然に、このようなデータ化けなどによるデータ値の誤りを訂正することもできない。しかも、特許文献1の技術では、プログラムデータの1ビットをアンチフューズペア、つまり、2つのフューズ素子により記憶するため、回路サイズが大きくなり、チップ面積の増大の原因となってしまう。

【0008】

ところで、非特許文献1の技術は、DRAM混載集積回路に関し、PROMとしてのフューズ素子からなるフューズセットをフューズマクロとして構成し、シフトレジスタを用いることにより、フューズデータをフューズマクロからDRAMマクロに転送する点に特徴を有する。

【0009】

しかし、このような構成の場合においても、フューズマクロからDRAMマクロまでの転送経路が非常に長くなるような場合には、転送信号のスキューや、カップリングノイズなどに起因するデータ破壊によって、誤データが転送される危険性がある。また、このような転送信号のスキューや、カップリングノイズなどの影響を減少させるために非同期式転送回路を使用することも考えられるが、この場合には、データの転送速度が遅くなってしまう問題がある。

【0010】

通常、パワーオン時などにフューズ回路から読み出されたデータは、ラッチ回路にラッチされる。しかし、ラッチ回路にラッチされたデータに関し、例えば、非特許文献2に示されるアルファ線によるソフトエラーや、非特許文献3に示されるニュートロンによるソフトエラーなどが発生すると、誤ったデータにより、内部回路の動作条件の意図しないトリミングや、メモリ回路内の不良セルの誤った救済などが行われる、という問題も生じる。

【特許文献1】特開2002-133895号公報

【非特許文献1】Michael R. Ouellette, Darren L. Anand, and Peter Jakobsen, "Shared Fuse Macro for Multiple Embedded Memory Devices with Redundancy", IEEE 2001 Custom Integrated Circuits Conference

【非特許文献2】T. C. May and M. H. Woods, IEEE Trans. Electron Devices ED-26, 2 (1979)

【非特許文献3】J. F. Ziegler and W. A. Lanford, SCIENCE 206, 776 (1979)

【発明の開示】

【発明が解決しようとする課題】

【0011】

このように、従来では、フューズ素子などの不揮発性メモリ素子に半永久的に記憶されたデータに基づいてチップ動作の基本設定などを行うに当たって、不揮発性メモリ素子自体の信頼性が低い場合や、不揮発性メモリ素子のデータが転送経路又はラッチ回路において誤ったデータに変化する危険性がある場合などにおいても、何ら、それを回避するための具体的対策がなされていなかった。

【0012】

本発明の目的は、フューズ素子などの不揮発性メモリ素子から誤ったデータが読み出される、転送経路又はラッチ回路で誤ったデータが発生するなどの事態が生じたときは、これを訂正することにより、正確に、チップ動作の基本設定、不良セルの救済や、チップID及びセキュリティデータの読み出しなどを行うことができる半導体集積回路を提案することにある。

【課題を解決するための手段】

【0013】

本発明の例に関わる半導体集積回路は、不揮発性メモリ素子と、前記不揮発性メモリ素子から読み出されたデータをラッチするラッチ回路と、前記ラッチ回路にラッチされた前記データを必要とする制御回路とを備える。さらに、前記データが符号化されている場合には、前記不揮発性メモリ素子から前記制御回路までの前記データの転送経路に接続され、前記データを復号する復号器を備え、前記データが符号化されていない場合には、前記転送経路に接続され、前記データを符号化する符号化器と、前記転送経路に接続され、前記符号化器により符号化された前記データを復号する復号器とを備える。

【0014】

本発明の例に関わる半導体集積回路は、不揮発性メモリ素子と、前記不揮発性メモリ素子から読み出されたデータが入力される複数の機能ブロックとを備える。前記複数の機能ブロックの各々は、前記データをラッチするラッチ回路と、前記データを必要とする制御回路とを有し、さらに、前記データが符号化されている場合には、前記不揮発性メモリ素子から前記制御回路までの前記データの転送経路に前記データを復号する復号器が接続さ

れ、前記データが符号化されていない場合には、前記転送経路に、前記データを符号化する符号化器と、前記符号化器により符号化された前記データを復号する復号器とが接続される。

【0015】

本発明の例に関わる半導体集積回路は、不揮発性メモリ素子と、前記不揮発性メモリ素子から読み出されたデータを符号化する符号化器と、前記符号化器により符号化された前記データをラッチするラッチ回路と、前記ラッチ回路にラッチされた前記データを復号する復号器と、前記復号器により復号された前記データを必要とする制御回路とを備える。前記復号器は、前記データの誤りを訂正する機能を有し、さらに、前記半導体集積回路は、前記ラッチ回路を制御するラッチデータリフレッシュ制御回路を備える。前記ラッチデータリフレッシュ制御回路は、前記復号器が前記データの誤りを検出すると、前記復号器により誤り訂正された前記データを、再び、前記ラッチ回路にラッチさせる。

【0016】

本発明の例に関わるチップ初期状態の設定方法は、データを不揮発性メモリ素子にプログラムし、前記不揮発性メモリ素子から読み出された前記データを符号化してラッチ回路にラッチさせ、前記ラッチ回路にラッチされた前記データを復号し、前記データを復号するときに前記データの誤りを検出すると、前記データの誤り訂正を行うと共に、前記誤り訂正された前記データを、再び、前記ラッチ回路にラッチさせ、その後、前記誤り訂正された前記データに基づいて内部回路の動作に関する基本設定を行う、というステップから構成される。

【0017】

前記データを復号するときに前記データの誤りを検出し、かつ、その誤りが誤り訂正能力を超えるものであるとき、前記不揮発性メモリ素子から読み出された前記データを、再び、前記ラッチ回路に転送させてもよい。

【発明の効果】

【0018】

本発明の例に関わる半導体集積回路によれば、フューズ素子などの不揮発性メモリ素子から誤ったデータが読み出される、転送経路又はラッチ回路で誤ったデータが発生するなどの事態が生じたときであっても、これを訂正できるため、正確に、チップ動作の基本設定、不良セルの救済や、チップID及びセキュリティデータの読み出しなどを行うことができる。

【発明を実施するための最良の形態】

【0019】

以下、図面を参照しながら、本発明を実施するための最良の形態について詳細に説明する。

【0020】

1. 概要

本発明の例に関わる半導体集積回路は、動作速度、動作電圧などの内部回路の動作に関するデータ（オプションデータ）、メモリ回路内の不良セルを救済するためのリダンダンシデータ、チップID、セキュリティデータなどを半永久的に不揮発に記憶する回路を有することを前提とする。

【0021】

このような回路としては、例えば、複数のフューズ素子から構成されるフューズセットを有するフューズ回路が一般的であるので、以下では、一例として、フューズ回路を有する半導体集積回路について説明する。

【0022】

フューズ回路から読み出されたデータは、長い転送経路を経由して、そのデータを必要とする内部回路に転送される。ここで、その転送経路においては、転送信号のスキューや、カップリングノイズなどに起因して、誤データが発生する危険性がある。また、フューズ回路から読み出されたデータは、ラッチ回路にラッチされるが、ラッチ回路では、アル

ファ線やニュートロンによるソフトエラーが発生する場合がある。

【0023】

そこで、本発明の例に関わる半導体集積回路では、フューズ回路からフューズデータを必要とする内部回路（例えば、他の内部回路の動作特性を決定するオプション設定回路）までの転送経路に、誤りデータの発生を抑制するための復号器（Decoder）、又は、符号化器（Encoder）及び復号器を接続する、また、その転送経路に、誤りデータを訂正するための誤り訂正回路（Error correction circuit）を接続する。

【0024】

これにより、いかなる状況においても、正確に、チップ動作の基本設定、不良セルの救済や、チップID及びセキュリティデータの読み出しなどを行うことができる。

【0025】

2. 実施例

(1) 全体構成

図1は、DRAMとSRAMが混載された半導体集積回路の例を示している。

図1の回路は、非特許文献1に開示されるような一般的なメモリ混載LSIであり、シフトレジスタによるフューズデータ転送回路を有している。

【0026】

チップ10内には、例えば、4つのメモリブロック（DRAM1、DRAM2、SRAM1、SRAM2）及びフューズブロック（FUSE PROM）が配置される。各メモリブロック（DRAM1、DRAM2、SRAM1、SRAM2）は、シフトレジスタSRを有している。フューズブロック（FUSE PROM）から読み出されるデータは、各メモリブロック（DRAM1、DRAM2、SRAM1、SRAM2）内のシフトレジスタSRに転送される。

【0027】

ここで、このようなシフトレジスタSRによる転送経路においては、転送信号のスキューや、カップリングノイズなどに起因して、誤データが発生する危険性がある。

【0028】

(2) フューズ回路

図2及び図3は、図1のフューズブロック（FUSE PROM）の一部を示している。

図2の例では、NチャネルMOSトランジスタTR11、TR12及びアンチフューズ素子C11が、電源端子VDDと接地端子VSSとの間に直列に接続される。アンチフューズ素子C11は、MOSトランジスタTR11、TR12の間に接続される。アンチフューズ素子C11は、例えば、キャパシタの絶縁膜破壊を利用してプログラムデータを記憶するタイプのものである。ラッチ回路LA11は、アンチフューズ素子C11の一端に接続される。本例では、ラッチ回路LA11は、フリップフロップ接続されたインバータから構成される。

【0029】

図3の例では、NチャネルMOSトランジスタTR1、TR2及びアンチフューズ素子C1が、電源端子VDDと接地端子VSSとの間に直列に接続される。アンチフューズ素子C1は、MOSトランジスタTR1、TR2の間に接続される。また、NチャネルMOSトランジスタTR3、TR4及びアンチフューズ素子C2は、電源端子VDDと接地端子VSSとの間に直列に接続される。アンチフューズ素子C2は、MOSトランジスタTR3、TR4の間に接続される。

【0030】

アンチフューズ素子C1、C2は、例えば、キャパシタの絶縁膜破壊を利用してプログラムデータを記憶するタイプのものである。書き込み（絶縁破壊）は、プログラムデータの値（“0”又は“1”）に応じて、アンチフューズ素子C1、C2のうちのいずれか一方に対して実行される。この場合、プログラムデータを読み出すときのアンチフューズ素子C1、C2の抵抗値の差を大きくできるため、読み出し時におけるコンパレータ13に

よるデータ判別の信頼性を向上できる。ラッチ回路14は、コンパレータ13から出力されるデータをラッチする。

【0031】

(3) 簡略化

図4は、フューズデータの転送経路を示している。

ここでは、例えば、図1のシフトレジスタを用いた転送経路をそのまま適用できるが、簡略化のため、シフトレジスタは、使用しない。

【0032】

フューズブロック FUSE PROM 内の1セット (1フューズセット) 分のフューズ素子 FUSE、本例では、8個のフューズ素子 FUSE は、例えば、チップ動作の基本設定又は不良セルの救済のためのデータ、チップ ID や、セキュリティデータなどを記憶する。

【0033】

8個のフューズ素子 FUSE から読み出されるフューズデータは、ラッチ回路 LATCH にラッチされた後、転送経路 (TRANSPORTATION AREA X) に転送される。ラッチデータは、転送経路 (TRANSPORTATION AREA X) を経由して、機能ブロック BLOCK 内の制御回路15に入力される。本例では、ラッチ回路 LATCH は、1セット分のフューズ素子 FUSE に対応して、8個設けられている。

【0034】

なお、機能ブロック BLOCK は、例えば、図1のメモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) のうちの1つに相当するとしてもよいし、或いは、メモリブロック内に幾つか存在するオプション設定回路や、分割されたメモリセルアレイに対応するリダンダンシー制御ブロックでもよい。

【0035】

例えば、パワーオン時に、フューズデータは、8個のフューズ素子 FUSE から読み出され、かつ、ラッチ回路 LATCH にラッチされた後、転送経路 (TRANSPORTATION AREA X) に転送される。制御回路15は、例えば、ラッチ回路 LATCH にラッチされたフューズデータに基づいて、チップ動作の基本設定などを実行する。

【0036】

(4) 第1実施例

以下、第1実施例に関わる半導体集積回路について説明する。

【0037】

図5は、第1実施例に関わる半導体集積回路を示している。

この半導体集積回路は、DRAM と SRAM が混載されたメモリ混載 LSI (混載メモリ) に関する。

【0038】

チップ10内には、例えば、4つのメモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) 及びフューズブロック (FUSE PROM) が配置される。各メモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) は、シフトレジスタ SR を有している。

【0039】

フューズブロック (FUSE PROM) から読み出されるデータは、各メモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) 内のシフトレジスタ SR に転送される。ここで、このようなシフトレジスタ SR による転送経路においては、転送信号のスキューや、カップリングノイズなどに起因して、誤データが発生する危険性がある。

【0040】

そこで、第1実施例では、フューズ回路 FUSE PROM 内のフューズ素子には、符号化されたデータをプログラムする。また、最もノイズが発生し易いと考えられるフューズブロック (FUSE PROM) の出力端から最初にフューズデータが入力されるメモリブロック (DRAM1) の入力端までの転送経路の最後の部分に、データの誤りを検出

かつ訂正するための復号器 11 を接続する。

【0041】

このように、フューズ回路 FUSE PROM 内のフューズ素子には、符号化されたデータをプログラムし、データの誤りを検出かつ訂正するための復号器 11 を、最初にフューズデータが入力されるメモリブロック (DRAM1) の入口部分に配置する。その結果、フューズ回路 FUSE PROM から読み出されるデータは、符号化されたデータとなるため、このデータが長い転送経路を経由することにより、仮に誤りデータが発生しても、その誤りデータを容易に検出かつ訂正することができる。

【0042】

なお、符号化されたデータは、シフトレジスタ SR に入力される直前に、復号器 11 により復号されるため、シフトレジスタ SR には、復号された通常のフューズデータが入力される。その後、そのフューズデータは、ラッチ回路 LATCH にラッチされる。

【0043】

以上のような構成により、フューズ回路 FUSE PROM から読み出されるフューズデータに基づいて、チップ動作の基本設定、不良セルの救済や、チップ ID 及びセキュリティデータの読み出しなどを正確に行う。

【0044】

図 6 は、フューズデータの転送経路を示している。

【0045】

ここでは、例えば、図 5 のシフトレジスタを用いたシリアル転送経路をそのまま適用できるが、簡略化のため、シフトレジスタは使用しないで、パラレル転送の場合について説明する。

【0046】

フューズブロック FUSE PROM 内の 1 セット (1 フューズセット) 分のフューズ素子 FUSE、本例では、12 個のフューズ素子 FUSE は、例えば、チップ動作の基本設定又は不良セルの救済のためのデータ、チップ ID や、セキュリティデータなどを記憶する。

【0047】

本例では、8 ビットのプログラムデータを、例えば、Hamming Code (正確には、短縮化 Hamming 符号) により符号化し、12 ビットの符号語として、12 個のフューズ素子 FUSE に書き込んでいる。

【0048】

従って、例えば、パワーオン時に、フューズ素子 FUSE から読み出されるデータは、符号化された 12 ビットのデータであり、この符号化されたデータは、転送経路 (TRANSPORTATION AREA X) を経由して、復号器 11 に入力される。

【0049】

復号器 11 では、12 ビットのデータが 8 ビットのデータに復号される。そして、復号された 8 ビットのデータが、機能ブロック BLOCK 内のラッチ回路 LATCH にラッチされる。本例では、ラッチ回路 LATCH は、復号された 8 ビットのデータに対応して、8 個設けられている。

【0050】

なお、機能ブロック BLOCK は、例えば、図 5 のメモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) のうちの 1 つに相当するとしてもよいし、或いは、メモリブロック内に幾つか存在するオプション設定回路や、分割されたメモリセルアレイに対応するリダンダンシー制御ブロックでもよい。

【0051】

制御回路 15 は、例えば、ラッチ回路 LATCH にラッチされたフューズデータに基づいて、チップ動作の基本設定などを実行する。

【0052】

このように、第 1 実施例では、符号化されたデータをフューズ素子 FUSE にプログラ

ムし、かつ、フューズ素子 FUSE から読み出されたデータは、長い転送経路を経由し、ラッチ回路 LATCH にラッチされる直前に、復号器 11 により復号される。

【0053】

従って、仮に、フューズ素子 FUSE の信頼性が低く、フューズ素子 FUSE のうちの幾つかが正しいデータを保持していない場合、さらには、フューズ素子 FUSE から読み出されたデータが、転送中に、何らかしらの影響で誤ったデータに変わってしまった場合などにおいても、例えば、復号器 11 において誤り訂正符号を用いることにより、誤り検出、訂正などを行うことができる。

【0054】

(5) 第2実施例

以下、第2実施例に関わる半導体集積回路について説明する。

【0055】

図7は、第2実施例に関わる半導体集積回路を示している。

この半導体集積回路は、第1実施例に関わる半導体集積回路（図5参照）と比べると、復号器 11 の代わりに、復号器／誤り訂正回路 11A を設けている点に特徴を有する。

【0056】

その他の構成については、既に説明した第1実施例と同じであるため、ここでは、その説明については、省略する。

【0057】

図8は、フューズデータの転送経路を示している。

【0058】

フューズブロック FUSE PROM 内の 1 セット分のフューズ素子 FUSE、本例では、12 個のフューズ素子 FUSE は、例えば、チップ動作の基本設定又は不良セルの救済のためのデータ、チップ ID や、セキュリティデータなどを記憶する。

【0059】

本例では、8 ビットのプログラムデータを、例えば、Hamming Code（正確には、短縮化 Hamming 符号）により符号化し、12 ビットの符号語として、12 個のフューズ素子 FUSE に書き込んでいる。

【0060】

従って、例えば、パワーオン時に、フューズ素子 FUSE から読み出されるデータは、符号化された 12 ビットのデータであり、この符号化されたデータは、転送経路 (TRANSMISSION AREA X) を経由して、復号器／誤り訂正回路 11A に入力される。

【0061】

復号器／誤り訂正回路 11A は、12 ビットのデータを 8 ビットのデータに復号すると共に、例えば、n（n は自然数）ビットの誤りが存在する場合には、その n ビットの誤りを検出かつ訂正する。そして、復号かつ訂正された 8 ビットのデータが、機能ブロック BLOCK 内のラッチ回路 LATCH にラッチされる。本例では、ラッチ回路 LATCH は、復号された 8 ビットのデータに対応して、8 個設けられている。

【0062】

なお、機能ブロック BLOCK は、例えば、図7のメモリブロック（DRAM1，DRAM2，SRAM1，SRAM2）のうちの 1 つに相当するとしてもよいし、或いは、メモリブロック内に幾つか存在するオプション設定回路や、分割されたメモリセルアレイに対応するリダンダンシー制御ブロックでもよい。

【0063】

制御回路 15 は、例えば、ラッチ回路 LATCH にラッチされたフューズデータに基づいて、チップ動作の基本設定などを実行する。

【0064】

このように、第2実施例では、符号化されたデータをフューズ素子 FUSE にプログラムし、かつ、フューズ素子 FUSE から読み出されたデータは、長い転送経路を経由し、

ラッチ回路LATCHにラッチされる直前に、復号器／誤り訂正回路11Aにより復号される。

【0065】

従って、仮に、フューズ素子FUSEの信頼性が低く、フューズ素子FUSEのうちの幾つかが正しいデータを保持していない場合、さらには、フューズ素子FUSEから読み出されたデータが、転送中に、何らかしらの影響で誤ったデータに変わってしまった場合などにおいても、復号器／誤り訂正回路11Aによる誤り訂正機能を利用することにより、正しいデータをラッチすることができる。

【0066】

なお、誤りのビット数が、復号器／誤り訂正回路11Aによる誤り訂正が可能なビット数を超えている場合には、誤り検出のみを行うようにしてもよい。

【0067】

(6) 第3実施例

以下、第3実施例に関わる半導体集積回路について説明する。

【0068】

図9は、第3実施例に関わる半導体集積回路を示している。

この半導体集積回路は、第2実施例に関わる半導体集積回路（図7参照）と比べると、復号器／誤り訂正回路（DEC/ECC）11Aの位置に特徴を有する。

【0069】

即ち、図7の例では、全てのメモリブロック（DRAM1、DRAM2、SRAM1、SRAM2）に共通に、1つだけ、復号器／誤り訂正回路11Aが設けられたが、本例では、1つのメモリブロック（DRAM1、DRAM2、SRAM1、SRAM2）に、1つずつ、復号器／誤り訂正回路11Aが設けられる。

【0070】

この場合、例えば、各メモリブロック（DRAM1、DRAM2、SRAM1、SRAM2）内のラッチ回路LATCH内で発生するアルファ線やニュートロンによるソフトエラーに対しても、誤り検出や誤り訂正などを行うことができる。

【0071】

このように、本例では、ラッチ回路の信頼性に問題があるような場合、即ち、アルファ線やニュートロンによるソフトエラーが発生する可能性がある場合（SEU: single event upset）でも、各機能ブロック内の復号器／誤り訂正回路により、誤り検出、訂正が可能であるため、チップ全体の信頼性を向上できる。

【0072】

なお、その他の構成については、既に説明した第1実施例と同じであるため、ここでは、その説明については、省略する。

【0073】

図10は、フューズデータの転送経路を示している。

【0074】

フューズブロックFUSE PROM内の1セット分のフューズ素子FUSE、本例では、12個のフューズ素子FUSEは、例えば、チップ動作の基本設定又は不良セルの救済のためのデータ、チップIDや、セキュリティデータなどを記憶する。

【0075】

本例では、8ビットのプログラムデータを、例えば、Hamming Code（正確には、短縮化Hamming符号）により符号化し、12ビットの符号語として、12個のフューズ素子FUSEに書き込んでいる。

【0076】

従って、例えば、パワーオン時に、フューズ素子FUSEから読み出されるデータは、符号化された12ビットのデータであり、この符号化されたデータは、転送経路（TRANSMISSION AREA X）を経由して、機能ブロックBLOCK内のラッチ回路LATCHにラッチされる。

【0077】

本例では、ラッチ回路 LATCH は、フューズ素子 FUSE から読み出される符号化された 12 ビットのデータに対応して、12 個設けられている。また、図 10 では、フューズデータをパラレル転送しているが、シリアル転送の場合でも、同様に適用できる。

【0078】

ラッチ回路 LATCH のデータは、復号器／誤り訂正回路 11A を経由して、制御回路 15 に入力される。制御回路 15 は、復号器／誤り訂正回路 11A の出力データに基づいて、チップ動作の基本設定などを実行する。

【0079】

ここで、復号器／誤り訂正回路 11A は、12 ビットのデータを 8 ビットのデータに復号すると共に、例えば、 n (n は自然数) ビットの誤りが存在する場合には、その n ビットの誤りを検出かつ訂正する。そして、復号かつ訂正された 8 ビットのデータが、出力データとして制御回路 15 に供給される。

【0080】

なお、機能ブロック BLOCK は、例えば、図 9 のメモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) のうちの 1 つに相当するとしてもよいし、或いは、メモリブロック内に幾つか存在するオプション設定回路や、分割されたメモリセルアレイに対応するリダンダンシー制御ブロックでもよい。

【0081】

このように、第 3 実施例では、符号化されたデータをフューズ素子 FUSE にプログラムし、かつ、フューズ素子 FUSE から読み出されたデータは、長い転送経路を経由し、ラッチ回路 LATCH にラッチされる。この後、そのデータは、復号器／誤り訂正回路 11A により復号され、制御回路 15 に供給される。

【0082】

従って、仮に、フューズ素子 FUSE の信頼性が低く、フューズ素子 FUSE のうちの幾つかが正しいデータを保持していない場合、フューズ素子 FUSE から読み出されたデータが、転送中に、何らかしらの影響で誤ったデータに変わってしまった場合、さらには、ラッチ回路においてソフトエラーが発生した場合などにおいても、ブロック毎に設けられた復号器／誤り訂正回路 11A による誤り訂正機能を利用することにより、正しいデータを制御回路 15 に転送できる。

【0083】

なお、誤りのビット数が、復号器／誤り訂正回路 11A による誤り訂正が可能なビット数を超えている場合には、誤り検出のみを行うようにしてもよい。また、復号器／誤り訂正回路 11A は、復号器 11 に変えてもよい。

【0084】**(7) 第 4 実施例**

以下、第 4 実施例に関わる半導体集積回路について説明する。

【0085】

図 11 は、第 4 実施例に関わる半導体集積回路を示している。

第 4 実施例は、第 2 実施例をさらに改良したものであり、符号化器 12 を新たに設けた点に特徴を有する。

【0086】

チップ 10 内には、例えば、4 つのメモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) 及びフューズブロック (FUSE PROM) が配置される。各メモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) は、シフトレジスタ SR を有している。

【0087】

フューズブロック (FUSE PROM) から読み出されるデータは、各メモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) 内のシフトレジスタ SR に転送される。ここで、このようなシフトレジスタ SR による転送経路においては、転送信号の

スキューや、カップリングノイズなどに起因して、誤データが発生する危険性がある。

【0088】

そこで、第4実施例では、最もノイズが発生し易いと考えられるフューズブロック (FUSE PROM) の出力端から最初にフューズデータが入力されるメモリブロック (DRAM1) の入力端までの転送経路に、データの誤りを検出かつ訂正するための復号器／誤り訂正回路11A及び符号化器12を接続する。

【0089】

具体的には、データの誤りを検出かつ訂正するための復号器／誤り訂正回路11Aは、最初にフューズデータが入力されるメモリブロック (DRAM1) の入口部分に配置される。また、符号化器12は、フューズブロック (FUSE PROM) の出力端に配置される。その結果、フューズ回路FUSE PROMから読み出されるデータは、符号化された後に、転送経路に転送され、かつ、シフトレジスタSRに入力される直前に復号されるため、仮に誤りデータが発生しても、これを容易に検出かつ訂正できる。

【0090】

以上のような構成により、フューズ回路FUSE PROMから読み出されるフューズデータに基づいて、チップ動作の基本設定、不良セルの救済や、チップID及びセキュリティデータの読み出しなどを正確に行う。

【0091】

なお、復号器／誤り訂正回路11Aは、例えば、図5に示すように、復号器11に変えてもよい。この場合、第4実施例は、第1実施例を改良した形になる。

【0092】

図12は、フューズデータの転送経路を示している。

【0093】

フューズブロックFUSE PROM内の1セット分のフューズ素子FUSE、本例では、8個のフューズ素子FUSEは、例えば、チップ動作の基本設定又は不良セルの救済のためのデータ、チップIDや、セキュリティデータなどを記憶する。

【0094】

本例では、符号化器12がフューズ回路FUSE PROMの出力端に接続されるため、フューズ素子FUSEから読み出された8ビットのプログラムデータは、例えば、Hamming Code (正確には、短縮化 Hamming 符号) により符号化され、12ビットの符号語として、転送経路 (TRANSRATION AREA X) に転送される。

【0095】

従って、例えば、パワーオン時に、フューズ素子FUSEから読み出されるデータは、符号化された12ビットのデータとなつて、転送経路 (TRANSRATION AREA X) を経由し、復号器／誤り訂正回路11Aに入力される。

【0096】

復号器／誤り訂正回路11Aは、12ビットのデータを8ビットのデータに復号すると共に、例えば、n (nは自然数) ビットの誤りが存在する場合には、そのnビットの誤りを検出かつ訂正する。そして、復号かつ訂正された8ビットのデータが、機能ブロックBLOCK内のラッチ回路LATCHにラッチされる。本例では、ラッチ回路LATCHは、復号された8ビットのデータに対応して、8個設けられている。

【0097】

なお、機能ブロックBLOCKは、例えば、図11のメモリブロック (DRAM1, DRAM2, SRAM1, SRAM2) のうちの1つに相当するとしてもよいし、或いは、メモリブロック内に幾つか存在するオプション設定回路や、分割されたメモリセルアレイに対応するリダンダンシー制御ブロックでもよい。

【0098】

制御回路15は、例えば、ラッチ回路LATCHにラッチされたフューズデータに基づいて、チップ動作の基本設定などを実行する。

【0099】

このように、第4実施例では、フューズ素子FUSEから読み出されたデータは、符号化器12により符号化された後、転送経路に転送され、かつ、機能ブロックBLOCK内のラッチ回路LATCHにラッチされる直前に、復号器／誤り訂正回路11Aにより復号される。

【0100】

従って、仮に、フューズ素子FUSEの信頼性が低く、フューズ素子FUSEのうちの幾つかが正しいデータを保持していない場合、さらには、フューズ素子FUSEから読み出されたデータが、転送中に、何らかしらの影響で誤ったデータに変わってしまった場合などにおいても、例えば、復号器／誤り訂正回路11Aにおいて誤り訂正符号を用いることにより、誤り検出、訂正などを行うことができる。

【0101】

(8) 第5実施例

以下、第5実施例に関わる半導体集積回路について説明する。

【0102】

図13は、第5実施例に関わる半導体集積回路を示している。

第5実施例は、第3実施例をさらに改良したものであり、符号化器12を新たに設けた点に特徴を有する。

【0103】

チップ10内には、例えば、4つのメモリブロック(DRAM1, DRAM2, SRAM1, SRAM2)及びフューズブロック(FUSE PROM)が配置される。各メモリブロック(DRAM1, DRAM2, SRAM1, SRAM2)は、シフトレジスタSRを有している。

【0104】

フューズブロック(FUSE PROM)から読み出されるデータは、各メモリブロック(DRAM1, DRAM2, SRAM1, SRAM2)内のシフトレジスタSRに転送される。ここで、このようなシフトレジスタSRによる転送経路においては、転送信号のスキューや、カップリングノイズなどに起因して、誤データが発生する危険性がある。

【0105】

そこで、第5実施例では、フューズブロック(FUSE PROM)の出力端に符号化器12を接続し、かつ、各メモリブロック(DRAM1, DRAM2, SRAM1, SRAM2)内に、データの誤りを検出かつ訂正するための復号器／誤り訂正回路11Aを配置する。この場合、符号化されたデータは、転送経路を経由し、シフトレジスタSRに入力されるため、仮に誤りデータが発生しても、復号器／誤り訂正回路11Aにより、これを容易に検出かつ訂正できる。

【0106】

以上のような構成により、フューズ回路FUSE PROMから読み出されるフューズデータに基づいて、チップ動作の基本設定、不良セルの救済や、チップID及びセキュリティデータの読み出しなどを正確に行うことができる。

なお、復号器／誤り訂正回路11Aは、復号器11に変えてもよい。

【0107】

第5実施例では、フューズ素子FUSEには、8ビットデータが記憶されるが、ラッチ回路LATCHには、符号化された12ビットデータがラッチされる。このため、第5実施例に関わる半導体集積回路は、フューズ素子FUSEの信頼性については十分に高いが、ラッチ回路LATCHの信頼性に問題がある場合に有効である。

【0108】

図14は、フューズデータの転送経路を示している。

【0109】

フューズブロックFUSE PROM内の1セット分のフューズ素子FUSE、本例では、8個のフューズ素子FUSEは、例えば、チップ動作の基本設定又は不良セルの救済のためのデータ、チップIDや、セキュリティデータなどを記憶する。

【0110】

本例では、符号化器12がフューズ回路FUSE PROMの出力端に接続されるため、フューズ素子FUSEから読み出された8ビットのプログラムデータは、例えば、Hamming Code（正確には、短縮化 Hamming 符号）により符号化され、12ビットの符号語として、転送経路(TRANSRATION AREA X)に転送される。

【0111】

従って、例えば、パワーオン時に、フューズ素子FUSEから読み出されるデータは、符号化された12ビットのデータとなって、転送経路(TRANSRATION AREA X)を経由し、機能ブロックBLOCK内のラッチ回路LATCHにラッチされる。本例では、ラッチ回路LATCHは、フューズ素子FUSEから読み出される符号化された12ビットのデータに対応して、12個設けられている。

【0112】

ラッチ回路LATCHのデータは、復号器／誤り訂正回路11Aを経由して、制御回路15に入力される。制御回路15は、復号器／誤り訂正回路11Aの出力データに基づいて、チップ動作の基本設定などを実行する。

【0113】

ここで、復号器／誤り訂正回路11Aは、12ビットのデータを8ビットのデータに復号すると共に、1ビットの誤りが存在する場合には、それを訂正することができる。一般には、ここで用いられた Humming 符号だけではなく、BCH 符号のような符号論理でよく知られた多重誤り訂正可能な符号を用いれば、符号長は長くなってしまいが、例えば、n（nは自然数）ビットの誤りが存在する場合には、そのnビットの誤りを検出かつ訂正する。そして、復号かつ訂正された8ビットのデータが、出力データとして制御回路15に供給される。

【0114】

なお、機能ブロックBLOCKは、例えば、図13のメモリブロック（DRAM1，DRAM2，SRAM1，SRAM2）のうちの1つに相当するとしてもよいし、或いは、メモリブロック内に幾つか存在するオプション設定回路や、分割されたメモリセルアレイに対応するリダンダンシイ制御ブロックでもよい。

【0115】

このように、第5実施例では、フューズ素子FUSEから読み出されたデータは、符号化器12により符号化された後、転送経路に転送され、かつ、機能ブロックBLOCK内のラッチ回路LATCHにラッチされた後、制御回路12の手前で、復号器／誤り訂正回路11Aにより復号される。

【0116】

従って、仮に、フューズ素子FUSEの信頼性が低く、フューズ素子FUSEのうちの幾つかが正しいデータを保持していない場合、フューズ素子FUSEから読み出されたデータが、転送中に、何らかしらの影響で誤ったデータに変わってしまった場合、さらには、ラッチ回路においてソフトエラーが発生した場合などにおいても、ブロック毎に設けられた復号器／誤り訂正回路11Aによる誤り訂正機能を利用することにより、正しいデータを制御回路15に転送できる。

【0117】

なお、誤りのビット数が、復号器／誤り訂正回路11Aによる誤り訂正が可能なビット数を超えている場合には、誤り検出のみを行うようにしてもよい。

【0118】**(9) 第6実施例**

以下、第6実施例に関わる半導体集積回路について説明する。

【0119】

図15は、第6実施例に関わる半導体集積回路を示している。

本例の半導体集積回路は、第一に、機能ブロックBLOCK内のラッチ回路LATCHを挟み込むように、復号器／誤り訂正回路11A及び符号化器12を配置し、ラッチ回路

LATCHにおけるデータ反転（ソフトウェアによる誤りデータの発生）に対する誤り検出／訂正を行う点、第二に、ラッチ回路LATCHにおけるデータ反転が発生したときには、再び、ラッチ回路LATCHに対する書き込み動作（ラッチデータのリフレッシュ動作）を実行し、ラッチ回路LATCHには常に正しいデータがラッチされているようにする点にある。

【0120】

これにより、例えば、ラッチ回路LATCHにラッチされる12ビットデータのうちの1ビットの値がソフトウェアなどにより反転してしまっても、復号器／誤り訂正回路11Aにより、その誤りデータの検出／訂正が行える。従って、常に、正しいデータを制御回路15に供給できる。

【0121】

また、復号器／誤り訂正回路11Aによる誤りデータの訂正能力には、上限があり、例えば、 n （ n は自然数）ビットまでの訂正ならば可能であるが、 n ビットを超えるビットの訂正は、不可能になっている（例えば、(12,8,3)-短縮 Hamming 符号を使用する場合には、誤り訂正能力は、1ビットである。）。

【0122】

このため、 n ビット以下、例えば、1ビットの誤りが生じたときは、直ちに、誤り検出信号SYNを出力し、ラッチ回路LATCHに正しいデータを再書き込みするラッチデータリフレッシュ動作を行う。このようにすれば、誤ったデータが制御回路15に供給されることが完全になくなる。

【0123】

以下、具体的構成について説明する。

フューズ回路20内の1セット（8ビット）分のフューズ素子FUSE、本例では、8個のフューズ素子FUSEは、例えば、チップ動作の基本設定又は不良セルの救済のためのデータ、チップIDや、セキュリティデータなどを記憶する。選択回路16は、選択信号SELに基づいて、フューズ回路20から出力される8ビットデータ及び復号器／誤り訂正回路11Aから出力される8ビットデータのうちのいずれか一方を選択し、これを符号化器12に出力する。

【0124】

選択回路16から出力される8ビットデータは、符号化器12において、例えば、Hamming Code（正確には、短縮化 Hamming 符号）により符号化され、12ビットデータ（符号語）となる。ラッチ回路LATCHは、リフレッシュラッチクロック信号 refclk に基づいて、この12ビットデータをラッチする。本例では、ラッチ回路LATCHは、符号化器12から出力される符号化された12ビットのデータに対応して、12個設けられている。

【0125】

ラッチ回路LATCHのデータは、復号器／誤り訂正回路11Aを経由して、制御回路15に入力される。制御回路15は、復号器／誤り訂正回路11Aの出力データに基づいて、チップ動作の基本設定などを実行する。

【0126】

ここで、復号器／誤り訂正回路11Aは、12ビットデータを8ビットデータに復号すると共に、例えば、 n （ n は自然数）ビットの誤りが存在する場合には、その n ビットの誤りを検出かつ訂正する。そして、復号かつ訂正された8ビットのデータが、出力データとして制御回路15に供給される。

【0127】

また、復号器／誤り訂正回路11Aは、 n ビットの誤りが存在する場合には、誤り検出信号SYNを出力する。ラッチデータリフレッシュ制御回路17は、誤り検出信号SYNを受けると、選択信号SELを出力し、復号器／誤り訂正回路11Aの出力信号を選択するように、選択回路16を制御する。

【0128】

そして、リフレッシュラッチクロック信号 refclk をラッチ回路 LATCH に与えると、ラッチ回路 LATCH は、フィードバックされたデータ、即ち、復号器／誤り訂正回路 11A の出力信号を符号化した 12 ビットデータを、再度、ラッチする（リフレッシュ動作）。

【0129】

このように、第 6 実施例では、最初は、フューズ回路 20 から読み出された 8 ビットデータが符号化された後、この 8 ビットデータがラッチ回路 LATCH にラッチされる。この後は、復号器／誤り訂正回路 11A から誤り検出信号 SYN が出力される度に、復号器／誤り訂正回路 11A から出力される 8 ビットデータが符号化され、再び、ラッチ回路 LATCH にラッチされる。

【0130】

従って、仮に、ラッチ回路 LATCH の信頼性が低く、ソフトエラーなどにより、ラッチ回路 LATCH のうちの幾つかが正しいデータを保持しなくなった場合でも、ブロック毎に設けられた復号器／誤り訂正回路 11A による誤り訂正機能を利用することにより、正しいデータを制御回路 15 に転送できる。さらに、誤りデータが発生する度に、ラッチ回路 LATCH のデータをリフレッシュすることにより、ラッチ回路 LATCH 内の誤りビット数が、復号器／誤り訂正回路 11A の誤り訂正能力（ビット数）を上回ることもなくなり、常に、正しいデータを制御回路 15 に供給できる。

【0131】

(10) 第 7 実施例

以下、第 7 実施例に関わる半導体集積回路について説明する。

【0132】

図 16 は、第 7 実施例に関わる半導体集積回路を示している。

第 7 実施例は、第 6 実施例の変形例である。

【0133】

第 7 実施例に関わる半導体集積回路は、第 6 実施例に関わる半導体集積回路と比べると、ラッチデータのリフレッシュ時に、復号器／誤り訂正回路 11A から符号語（12 ビットデータ）を直接フィードバックして、ラッチ回路 LATCH に再びラッチさせている点に特徴を有する。

【0134】

即ち、第 6 実施例では、図 15 に示すように、復号された 8 ビットデータを再び符号化してラッチ回路 LATCH に供給するため、選択回路 16 は、符号化器 12 の手前に配置されるのに対し、第 7 実施例では、図 16 に示すように、復号器／誤り訂正回路 11A から符号語（12 ビットデータ）を直接フィードバックしているため、選択回路 16 は、ラッチ回路 LATCH の直前（符号化器 12 とラッチ回路 LATCH との間）に配置される。

【0135】

従って、本例では、選択回路 16 は、選択信号 SEL に基づいて、符号化器 12 から出力される 12 ビットデータと、復号器／誤り訂正回路 11A から出力される 12 ビットデータのうちのいずれか一方を選択的に出力する。

【0136】

なお、その他の構成については、既に説明した第 6 実施例と同じであるため、ここでは、その説明については、省略する。

【0137】

このような構成においても、第 6 実施例と同様に、第一に、ラッチ回路 LATCH で発生するソフトエラーによる誤りデータの訂正により、常に、正しいデータを制御回路に供給できる、第二に、誤りが発生したときは、直ちに、ラッチ回路 LATCH に正しいデータを再書き込み（リフレッシュ）することにより、誤り訂正回路の能力を超えるような誤りが発生しないようにする、という効果を得ることができる。

【0138】

(11) 第8実施例

以下、第8実施例に関わる半導体集積回路について説明する。

【0139】

図17は、第8実施例に関わる半導体集積回路を示している。

第8実施例は、第6実施例の変形例である。

【0140】

第8実施例に関わる半導体集積回路は、第6実施例に関わる半導体集積回路と比べると、誤りデータのビット数が訂正可能な範囲を越え、誤り訂正が不可能となっている場合に、訂正不可信号を出力し、再び、フューズ素子FUSEから正しいデータを読み出し（再送）、これを符号化してラッチ回路LATCHにラッチさせる点に特徴を有する。

【0141】

構成要素としては、第6実施例と比較すると、第一に、復号器／誤り訂正回路11Bが訂正不可信号を出力する機能を有している点、第二に、転送制御回路（再送要求タイミング発生得回路）18が新規に設けられている点、第三に、フューズデータの転送のためにシフトレジスタ19A、19Bが使用される点にある。

【0142】

復号器／誤り訂正回路11Bは、ラッチデータを復号すると共に、ラッチデータの誤り検出を行う。ラッチデータに1ビット以上の誤りが存在する場合には、復号器／誤り訂正回路11Bは、誤り訂正可能か否かを判断する。例えば、Hamming 距離が4、即ち、1誤り訂正可能、かつ、2誤り検出可能である(13,8,4)-拡大 Humming 符号を使用する場合には、誤り訂正能力は、1ビット、誤り検出能力は、2ビットである。

【0143】

従って、例えば、ソフトエラーなどにより、ラッチデータに1ビットの誤りがあることが検出されると、これは、訂正可能であるため、第6実施例と同様に、復号器／誤り訂正回路11Bは、誤り検出信号SYNを出力する。その結果、誤り訂正されたラッチデータ、即ち、復号器／誤り訂正回路11Bの出力信号がフィードバックされ、再び、ラッチ回路LATCHにラッチされる。

【0144】

これに対し、例えば、ソフトエラーなどにより、ラッチデータに2ビットの誤りがあることが検出されると、これは、訂正不可能であるため、復号器／誤り訂正回路11Bは、訂正不可信号を出力する。転送制御回路（再送要求タイミング発生回路）18は、訂正不可信号を受けると、フューズデータの転送に使用するシフトレジスタ19A、19Bに再送要求信号を与える。

【0145】

シフトレジスタ19A、19Bは、再送要求信号を受けると、フューズ回路20内のフューズ素子FUSEから読み出されたフューズデータを、再び、フューズ回路20から機能ブロックBLOCKに転送する。誤データの発生がラッチ回路LATCHのみで発生すると仮定すると、このフューズデータは、正しいデータである。そこで、これを、符号化した後、ラッチ回路LATCHにラッチする。

【0146】

このように、本実施例では、符号化されたフューズデータをラッチし、ラッチデータを復号した後に、制御回路に転送する回路において、第一に、ラッチデータに誤りが生じ、かつ、これを訂正できるときは、誤り訂正されたデータをフィードバックし、再び、これをラッチデータとしてラッチする。第二に、ラッチデータに誤りが生じ、かつ、これを訂正できないときは、フューズ回路から読み出したフューズデータを、再び、ラッチデータとしてラッチする。

【0147】

このような構成を採用することにより、例えば、ラッチ回路LATCHの信頼性が低く、ソフトエラーなどにより、ラッチ回路LATCHのうちの幾つかが正しいデータを保持しなくなった場合でも、誤り訂正の可能／不可能にかかわらず、直ちに、ラッチ回路LA

TCH内のデータを正しいデータにリフレッシュすることができる。従って、常に、正しいデータを制御回路に転送できる。

【0148】

なお、第8実施例は、当然に、第7実施例に組み合わせることもできる。

この場合、第7実施例において、復号器／誤り訂正回路11Aに訂正不可信号を出力する機能を設け、さらに、転送制御回路（再送要求タイミング発生回路）18を新規に設ければよい。

【0149】

(12) 第9実施例

以下、第9実施例に関わる半導体集積回路について説明する。

【0150】

図18は、第9実施例に関わる半導体集積回路を示している。

第9実施例は、いままで述べてきた第1乃至第8実施例の応用例に関する。第9実施例では、実際に、チップ10上において、本発明の例に関わる回路がどのように使用されているかを示す。

【0151】

まず、フューズ回路に関しては、例えば、フューズ素子のプログラムをレーザにより行うレーザフューズ回路20Aの場合、フューズデータの信頼性は高いと考えられるため、フューズデータを符号化してプログラムする必要はない。

【0152】

しかし、例えば、プログラムが過大電流による配線の切断により行われる電氣的フューズや、プログラムが過大電圧による絶縁破壊により行われるアンチフューズなどから構成されるE-フューズ回路20Bの場合、フューズデータの信頼性は低いと考えられるため、フューズデータを符号化してプログラムする。

【0153】

具体的には、十分な歩留りを得ることができるだけの能力を持った誤り訂正符号を用いて、その符号語をプログラムする。

【0154】

そして、E-フューズ回路20Bから読み出されたデータを復号器11aにより復号する。

【0155】

次に、フューズデータの転送経路に関しては、フューズ回路20A、20Bとフューズデータを使用する制御回路15とが大きく離れ、両者を繋ぐ配線の配線長（フューズデータの転送経路TRANSPORTATION AREA X）が非常に長くなるような場合には、データ同士のスキューや、カップリングなどによるノイズの影響を考慮し、その転送経路の最初の部分に符号化器12bを接続し、その転送経路の最後の部分に復号器11bを接続する。

【0156】

なお、フューズデータの転送経路は、データをシリアル転送する構成のものであってもよいし、また、データをパラレル転送する構成のものであってもよい。第9実施例は、シフトレジスタSRを用いて、フューズデータをシリアル転送する例である。

【0157】

データ量が非常に多い場合に、シリアル転送を行うときは、ブロック符号を用いるよりも、畳込み符号を用いる方が有利となることが多い。

【0158】

最後に、フューズデータをラッチするラッチ回路LATCHに関しては、ラッチ回路LATCHのソフトエラーに関する信頼性が十分でないような場合には、ラッチ回路LATCHの直前に符号化器12cを配置し、その直後に復号器11cを配置する。シフトレジスタSRから供給されるフューズデータは、符号化された後、ラッチ回路LATCHにラッチされる。また、ラッチ回路LATCHにラッチされたラッチデータは、復号器11cにより復号された後、制御回路15に供給される。

【0159】

なお、第9実施例では、機能ブロックBLOCK1, 2, 3, 4の各々にラッチデータが供給され、全ての機能ブロックBLOCK1, 2, 3, 4がラッチ回路LATCHを有している構成となっているが、これらのうち、少なくとも1つの機能ブロックのみに対して、本発明の例に関わる回路が適用されるようにしてもよい。

【0160】

(13) 第10実施例

以下、第10実施例に関わる半導体集積回路について説明する。

【0161】

図19は、第10実施例に関わる半導体集積回路を示している。

第10実施例は、回路構成としては、上述の第6実施例（図15参照）と同じになっている。第10実施例が第6実施例と異なる点は、フーズデータやラッチデータのビット数のみにある。つまり、第10実施例では、第6実施例に対して、フーズデータやラッチデータのビット数を減らすことで、本発明の例に関わる回路の回路規模を小さくし、本実施例の本質となる制御回路を簡単に説明するものである。

【0162】

なお、第10実施例では、フーズデータは、4ビットとし、この4ビットフーズデータを、符号化器12によって7ビットデータに変換する。この符号化された7ビットデータがラッチデータとしてラッチ回路LATCHにラッチされる。ラッチデータは、復号器／誤り訂正回路11Aにより復号され、4ビットデータになる。

【0163】

(14) 回路例

次に、本発明の例に関わる半導体集積回路に使用される回路例について説明する。ここで、上述した第1乃至第10実施例のうち、最後の第10実施例に関する回路構成は、フーズデータのビット数が最も少なく、かつ、最も簡単な構成となっている。そこで、以下では、第10実施例に対応する形式の回路例について説明する。

【0164】

A. フーズ回路

図20及び図21は、フーズ回路の例を示している。

フーズ回路20の1ビット分は、電源端子VDDと接地端子VSSとの間に直列接続されたPチャネルMOSトランジスタQP、NチャネルMOSトランジスタQN及びフーズ素子から構成される。MOSトランジスタQPのゲートには、制御信号vpが入力し、MOSトランジスタQNのゲートには、制御信号vnが入力される。

【0165】

このフーズ回路20は、レーザ溶断タイプフーズ回路を前提としているので、プログラムのための回路は、存在しない。もし、E-フーズ回路やアンチフーズ回路を必要とするならば、プログラムのための新たな回路を付加する必要がある。

【0166】

フーズデータの読み出し時には、図22に示すようなタイミングで、制御信号vp, vnをフーズ回路20に与える。この例では、まず、制御信号vpを“L”にして、出力ノードを“H”にプリチャージする。この後、制御信号vnを“L”にすると、フーズデータの値に応じて、出力ノードのレベルに変化が表れる。

【0167】

例えば、フーズ素子が切断されていない状態（導通状態）では、制御信号vnが“H”になることにより、出力ノードのレベルは、“H”から“L”に変化する。一方、フーズ素子が切断されている状態（非導通状態）では、制御信号vnが“H”になっても、出力ノードのレベルは、“H”を維持し続ける。

【0168】

B. 選択回路

図23及び図24は、選択回路の例を示している。

選択回路 16 は、フューズデータのビット数に対応して 4 つのスイッチ回路 SELECT を有している。スイッチ回路 SELECT は、選択信号 SEL に基づいて、フューズ回路からのフューズデータ及び復号器／誤り訂正回路からのデータのうちのいずれか一方を選択し、かつ、これを出力する。選択信号 SEL は、ラッチデータリフレッシュ制御回路から供給される。

【0169】

スイッチ回路 SELECT は、トランスファゲート回路 TGA, TGB 及びインバータ回路 IS から構成される。選択信号 SEL の値に応じて、フューズ回路からの 4 ビットデータ A 又は復号器／誤り訂正回路からの 4 ビットデータが選択される。

【0170】

C. 符号化器

図 25 は、符号化器の例を示している。

符号化器 12 は、エクスクルーシブオア (EX-OR) 回路を有している。このエクスクルーシブオア回路を用いて、7 ビットの符号語 x_1 、 x_2 、 x_3 、 x_4 、 c_1 、 c_2 、 c_3 を生成する。

【0171】

D. ラッチ回路

図 26 は、ラッチ回路の例を示している。

このラッチ回路は、インバータ IV1～IV6 及びナンド回路 ND1, ND2 を有している。ラッチ回路の動作は、クロック信号 clk により制御される。クロック信号 clk は、インバータ IV7 を経由することによりクロック信号 bclk となり、かつ、インバータ IV7, IV8 を経由することによりクロック信号 aclk となる。

【0172】

クロック信号 clk に関しては、例えば、図 27 に示すように、フューズデータをラッチするとき、即ち、最初のフューズデータをラッチするとき及びフューズデータの再送要求がなされたときには、通常クロック信号 normal clk が使用され、ラッチデータのリフレッシュを行うとき、即ち、復号器／誤り訂正回路から出力されるデータを再びラッチするときには、リフレッシュラッチクロック信号 refclk が使用される。

【0173】

通常クロック信号 normal clk とリフレッシュラッチクロック信号 refclk との切り替えは、ラッチデータリフレッシュ制御回路から出力される選択信号 SEL を用いる。

【0174】

尚、入力データは、実際には、フリップフロップ接続されるインバータ IV2 とナンド回路 ND1 からなる第 1 ラッチ部と、フリップフロップ接続されるインバータ IV4 とナンド回路 ND2 からなる第 2 ラッチ部とにラッチされる。

【0175】

リセット信号は、ナンド回路 ND1, ND2 に入力され、ラッチデータをリセットする際に使用される。

【0176】

E. 復号器／誤り訂正回路

図 28 は、復号器／誤り訂正回路の例を示している。

復号器／誤り訂正回路は、syndrome 検出回路 21、誤り位置検出回路 22、エクスクルーシブオア (EX-OR) 回路及びオア回路 (OR) を有している。syndrome 検出回路 21 は、7 ビットの符号語 y_1 、 y_2 、 y_3 、 y_4 、 y_5 、 y_6 、 y_7 から誤りを検出するための信号 s_1 、 s_2 、 s_3 を生成する。この信号 s_1 、 s_2 、 s_3 のオアをとると、誤りが存在するか否かを示す誤り検出信号 SYN が得られる。

【0177】

誤り位置検出回路 22 は、syndrome 検出回路 21 の出力信号 s_1 、 s_2 、 s_3 に基づいて、誤りビットの位置を検出する。誤り位置検出回路 22 の出力信号 (誤り位置検出信号) e_1 、 e_2 、 e_3 、 e_4 、 e_5 、 e_6 、 e_7 と 7 ビットの符号語 y_1 、 y_2 、 y_3 、

y 4、y 5、y 6、y 7とのエクスクルーシブオアをとると、誤りビットが正しいビットに訂正される。

【0178】

ここで、誤り位置検出信号 e 1、e 2、e 3、e 4、e 5、e 6、e 7は、syndrome 検出回路 21 の出力信号 s 1、s 2、s 3と、それらの反転信号 $\neg s 1$ 、 $\neg s 2$ 、 $\neg s 3$ とのANDをとることにより作ることができる。なお、図 28における記号「※」は、ANDロジックを実行することを意味している。

【0179】

F. ラッチデータリフレッシュ制御回路

図 29は、ラッチデータリフレッシュ制御回路の主要部の例を示している。

セットリセットフリップフロップ回路 (SR-Filp/Fiop) 23には、誤り検出信号 S Y N 及びリセット信号 R E S E Tが入力される。セットリセットフリップフロップ回路 23 の出力信号は、選択信号 S E Lとなる。選択信号 S E Lは、遅延回路 D E L A、D E L B、インバータ I V 9 及びAND回路 A D 1を経由すると、リフレッシュラッチクロック信号 refclk となる。

【0180】

また、リフレッシュラッチクロック信号 refclk は、図 30に示すように、遅延回路 D E L C、インバータ I V 10、I V 11 及びAND回路 A D 2を経由すると、リセット信号 R E S E Tとなる。

【0181】

次に、ラッチデータリフレッシュ制御回路の動作について簡単に説明する。

【0182】

図 31は、ラッチデータリフレッシュ制御回路の動作波形を示している。

ラッチデータにエラーが発生すると、誤り検出信号 S Y Nが“H”になる。これを受けて、ラッチデータリフレッシュ制御回路は、選択信号 (パルス信号) S E L (= “H”) を出力すると共に、リフレッシュラッチクロック信号 refclk を出力する。その結果、例えば、誤り訂正されたデータが再びラッチ回路にラッチされる (ラッチデータのリフレッシュ動作)。この後、ラッチデータリフレッシュ制御回路は、リセット信号 R E S E Tを“H”にする。

【0183】

3. その他

以上の実施例では、レーザ溶断型フューズ、電流溶断型フューズや、絶縁破壊型アンチフューズなどを用いたフューズ回路からデータを読み出す場合について説明したが、本発明の例は、ホットキャリア現象又はトンネル電流によりコントロールゲートに電荷を注入することによりデータを記憶するメモリ素子に、内部回路の動作に関するデータ、リダンダンシデータ、チップ I D、さらには、セキュリティデータなどを記憶させる場合にも適用可能であることは言うまでもない。

【0184】

また、本発明の例は、A S I Cなどのロジック L S I、複数の機能ブロックから構成されるシステム L S I、メモリ混載 L S I、マイクロプロセッサ、半導体メモリなどの様々な半導体集積回路に適用可能である。

【0185】

本発明の例は、上述の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上述の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる形態の構成要素を適宜組み合わせてもよい。

【産業上の利用可能性】

【0186】

本発明の例は、特に、パッケージング工程前又は後において、チップ内の不揮発性メモ

リ素子、例えば、レーザ溶断型フューズ、電流溶断型フューズ、誘電体破壊型アンチフューズなどに、チップ動作の基本設定に関するデータなどをプログラムする必要がある半導体製品であって、その信頼性の向上が要求されるものに対して有効である。

【図面の簡単な説明】

【0187】

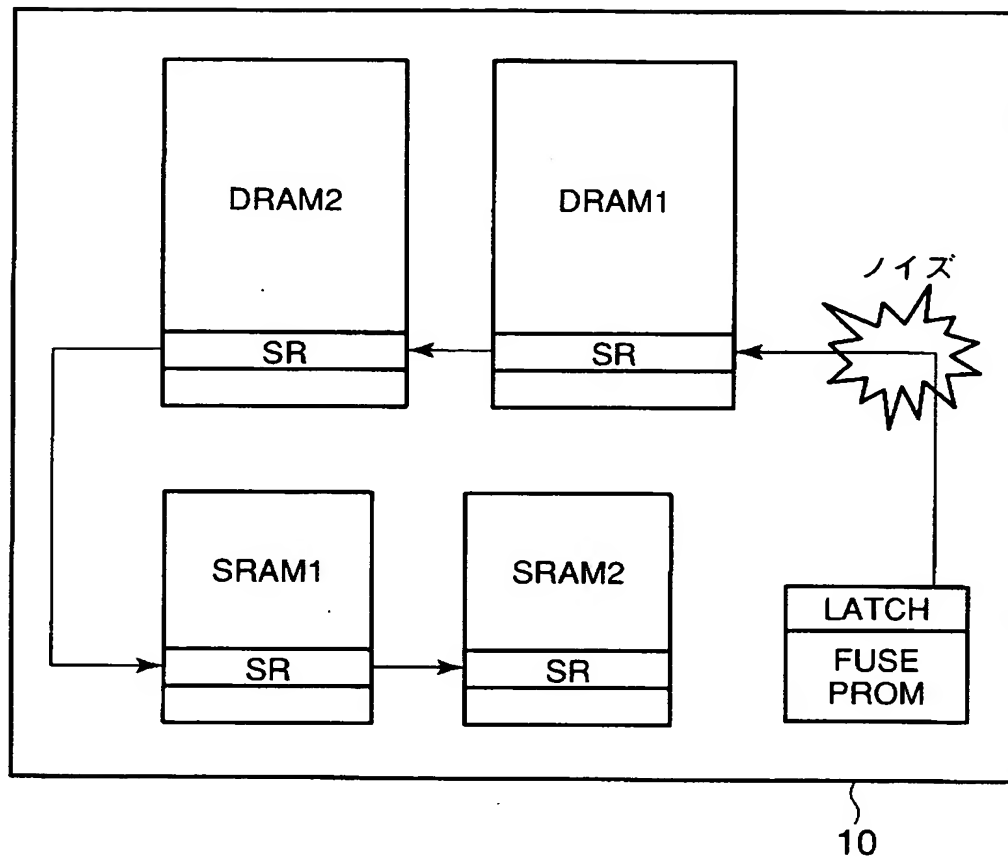
- 【図1】 従来のフューズデータの転送経路の例を示す図。
- 【図2】 フューズ回路の例を示す図。
- 【図3】 フューズ回路の例を示す図。
- 【図4】 従来のフューズデータの転送経路の例を示す図。
- 【図5】 第1実施例に関わる半導体集積回路を示す図。
- 【図6】 第1実施例に関わる半導体集積回路を示す図。
- 【図7】 第2実施例に関わる半導体集積回路を示す図。
- 【図8】 第2実施例に関わる半導体集積回路を示す図。
- 【図9】 第3実施例に関わる半導体集積回路を示す図。
- 【図10】 第3実施例に関わる半導体集積回路を示す図。
- 【図11】 第4実施例に関わる半導体集積回路を示す図。
- 【図12】 第4実施例に関わる半導体集積回路を示す図。
- 【図13】 第5実施例に関わる半導体集積回路を示す図。
- 【図14】 第5実施例に関わる半導体集積回路を示す図。
- 【図15】 第6実施例に関わる半導体集積回路を示す図。
- 【図16】 第7実施例に関わる半導体集積回路を示す図。
- 【図17】 第8実施例に関わる半導体集積回路を示す図。
- 【図18】 第9実施例に関わる半導体集積回路を示す図。
- 【図19】 第10実施例に関わる半導体集積回路を示す図。
- 【図20】 フューズ回路の例を示す図。
- 【図21】 フューズ回路の例を示す図。
- 【図22】 図20及び図21のフューズ回路の動作波形を示す図。
- 【図23】 選択回路の例を示す図。
- 【図24】 選択回路の例を示す図。
- 【図25】 符号化器の例を示す図。
- 【図26】 ラッチ回路の例を示す図。
- 【図27】 クロックを選択する回路の例を示す図。
- 【図28】 復号器／誤り訂正回路の例を示す図。
- 【図29】 ラッチデータリフレッシュ制御回路の例を示す図。
- 【図30】 ラッチデータリフレッシュ制御回路の例を示す図。
- 【図31】 図29及び図30のラッチデータリフレッシュ制御回路の動作波形を示す図。

【符号の説明】

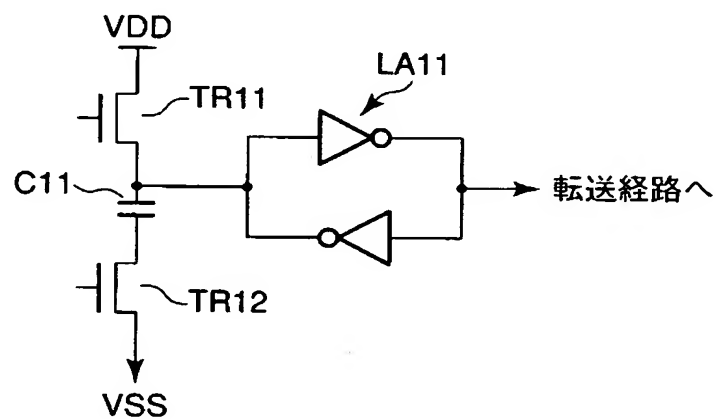
【0188】

10： チップ、 11： 復号器、 11A： 復号器／誤り訂正回路、 12： 符号化器、 13： コンパレータ、 14： ラッチ回路、 15： 機能ブロック内の制御回路、 16： 選択回路、 17： ラッチデータリフレッシュ制御回路、 18： 転送制御回路（再送要求タイミング発生回路）、 19A, 19B： シフトレジスタ、 20, 20A, 20B： フューズ回路、 21： syndrome 検出回路、 22： 誤り位置検出回路、 23： セットリセットフリップフロップ回路。

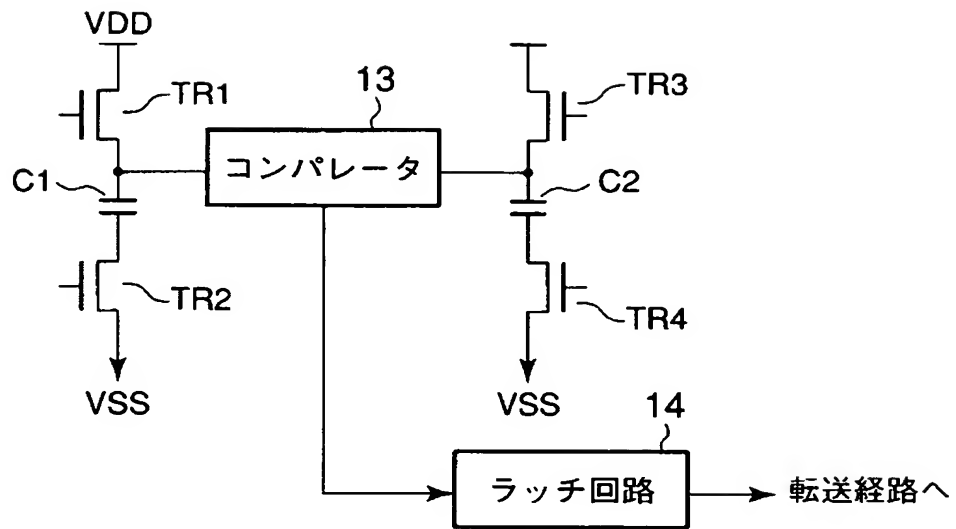
【書類名】 図面
【図 1】



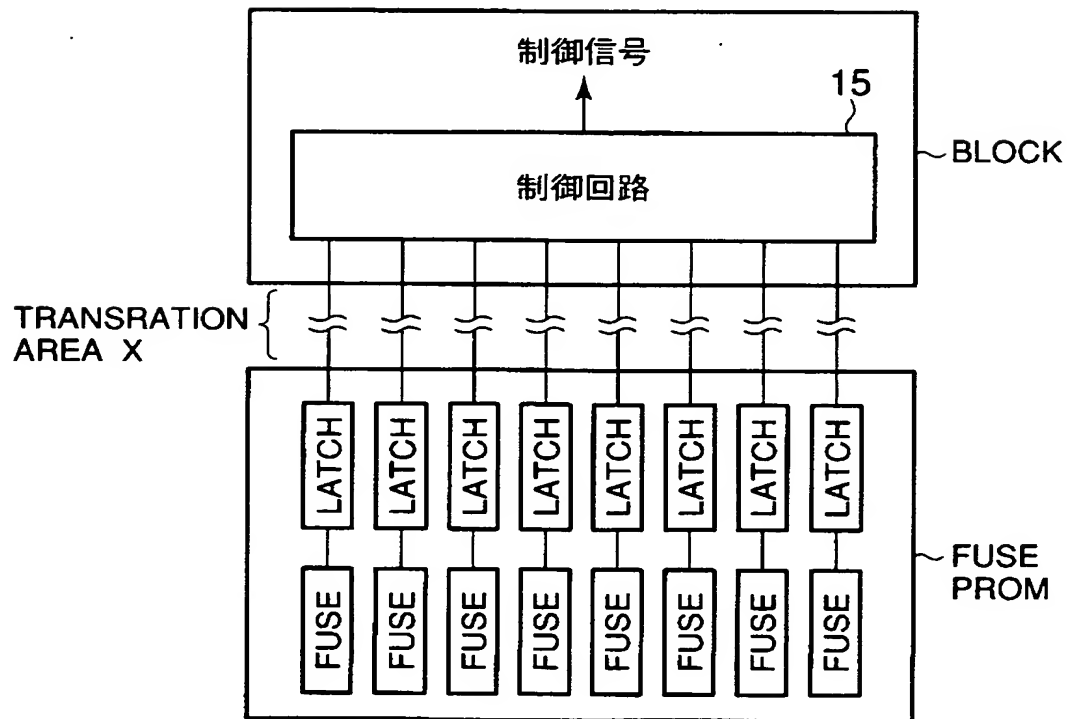
【図 2】



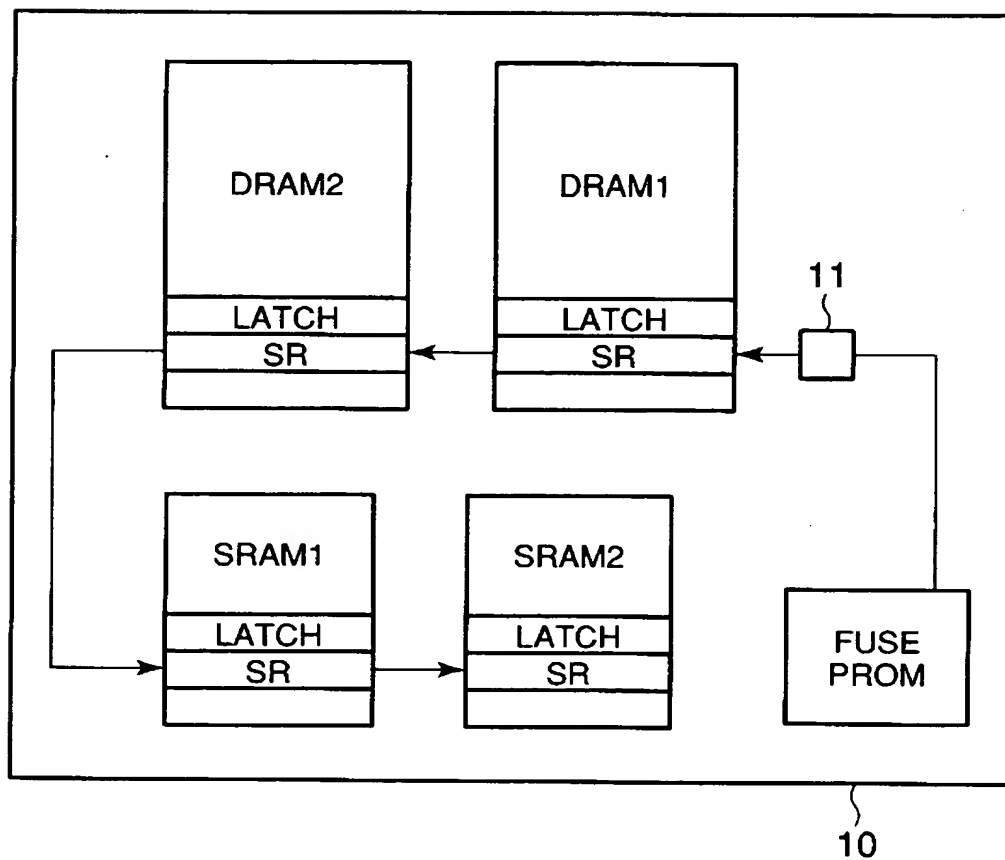
【図 3】



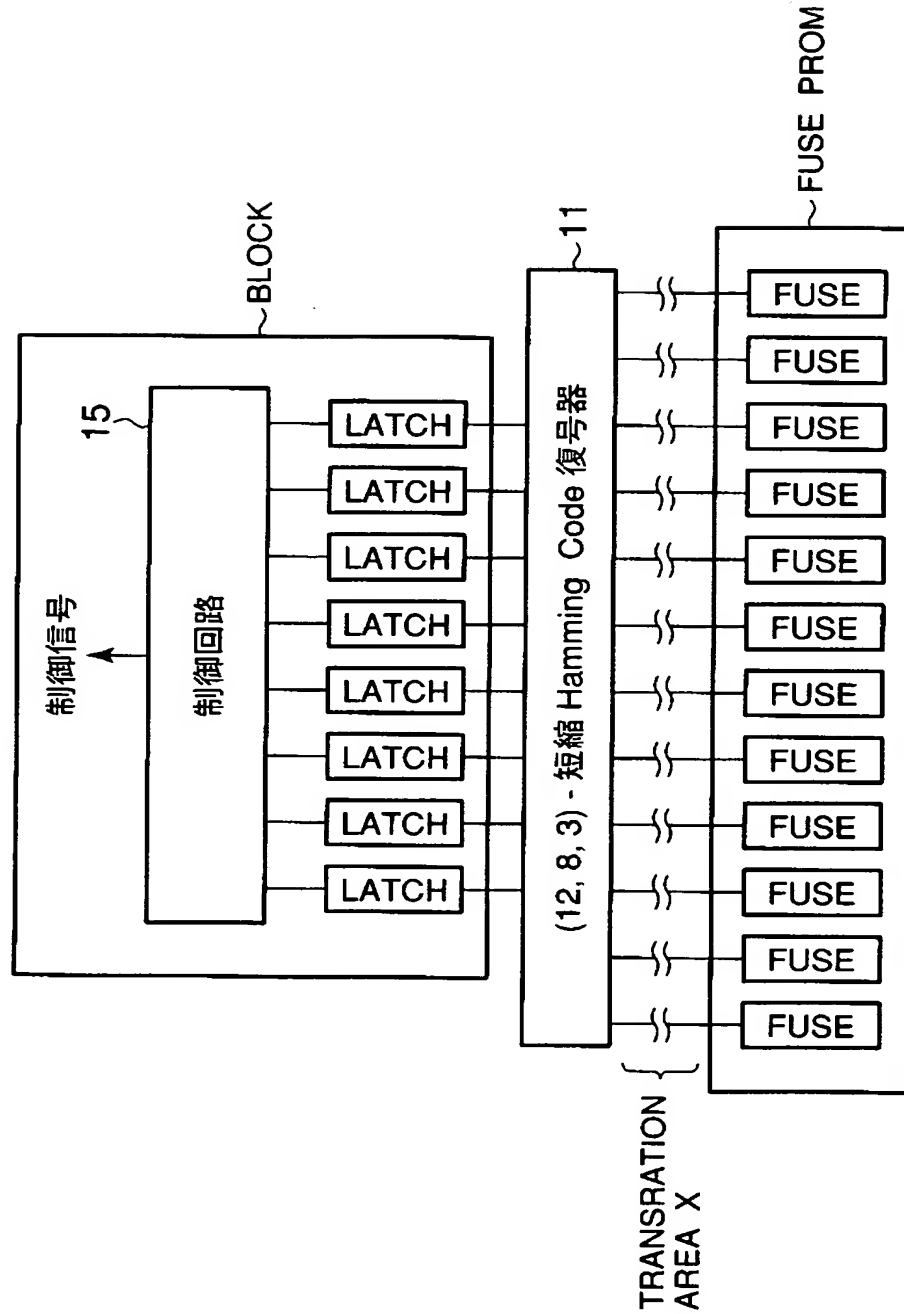
【図 4】



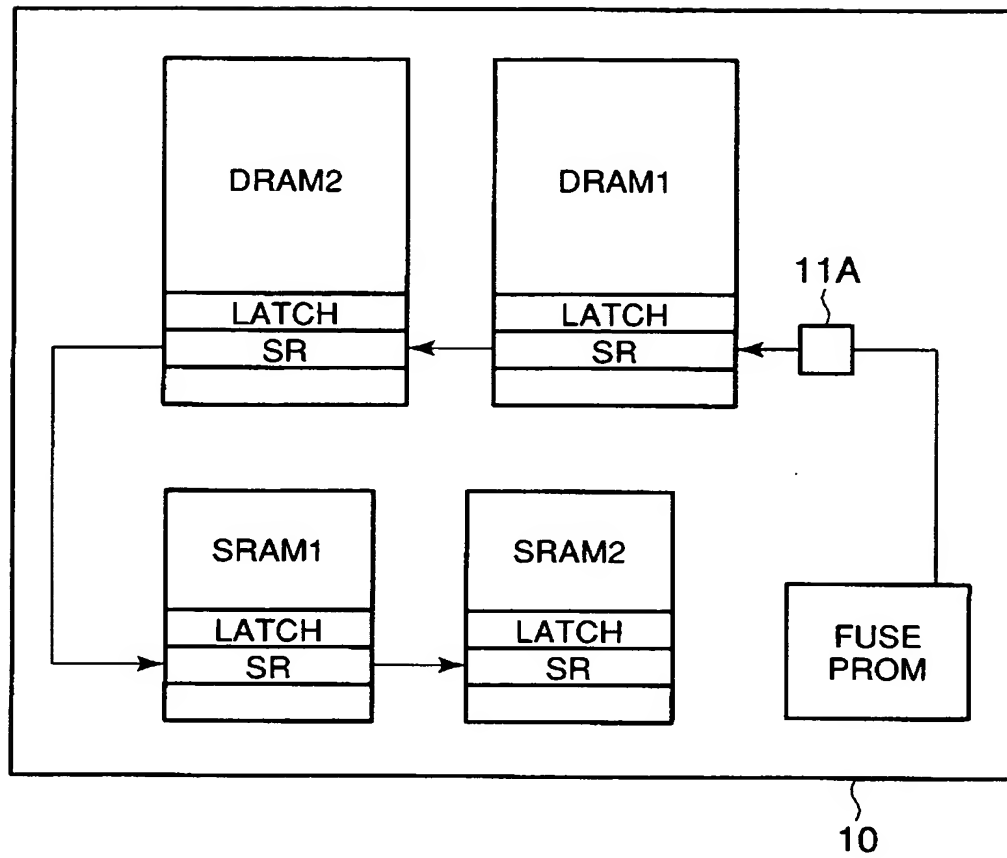
【図 5】



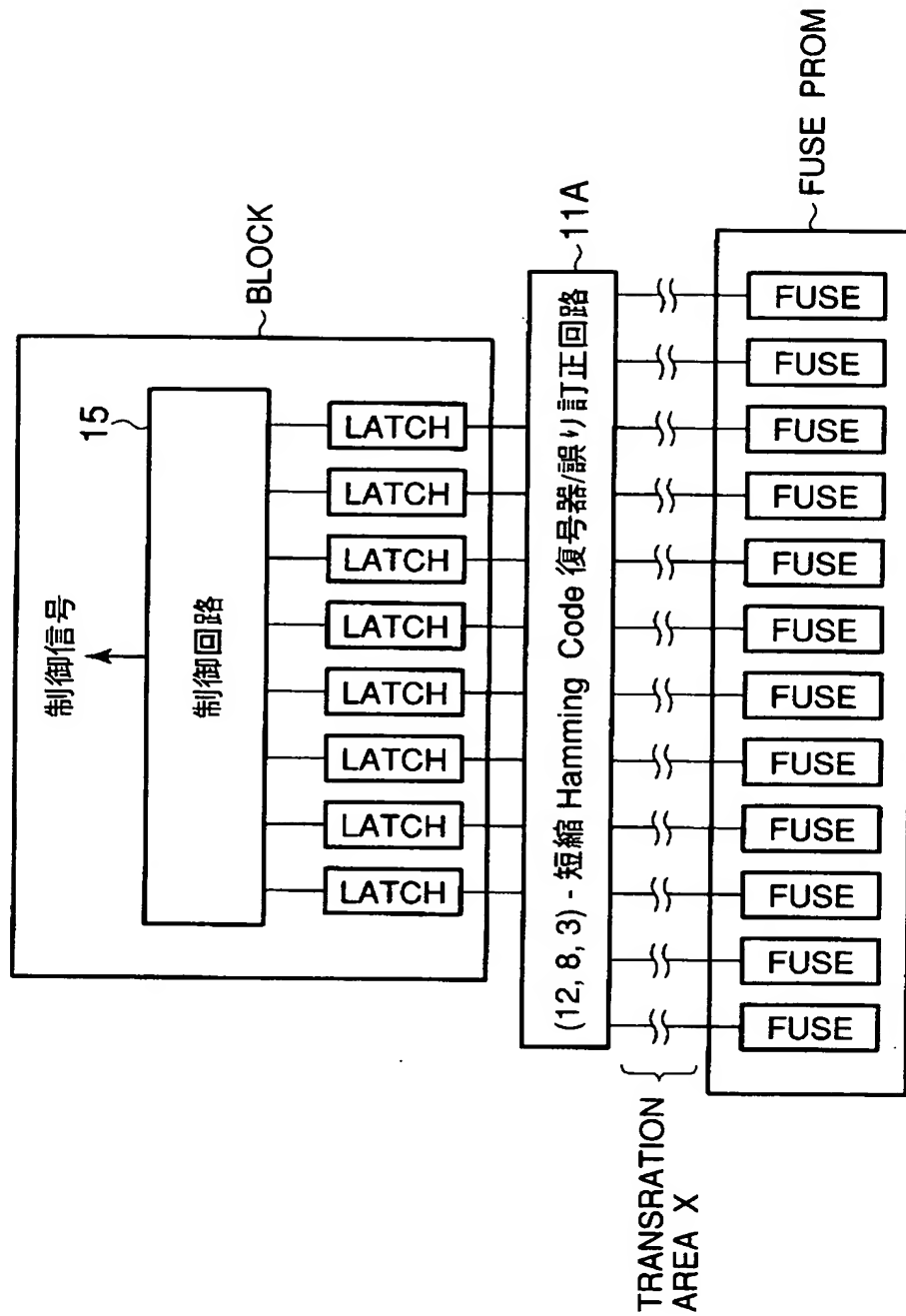
【図 6】



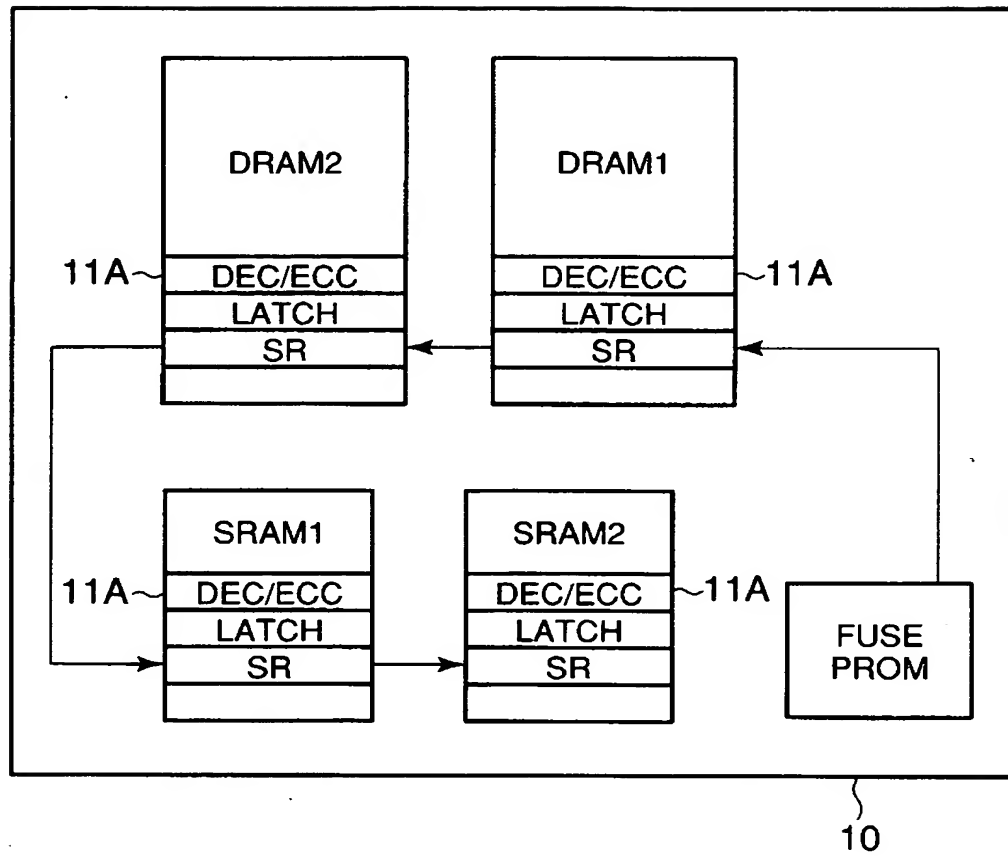
【図 7】



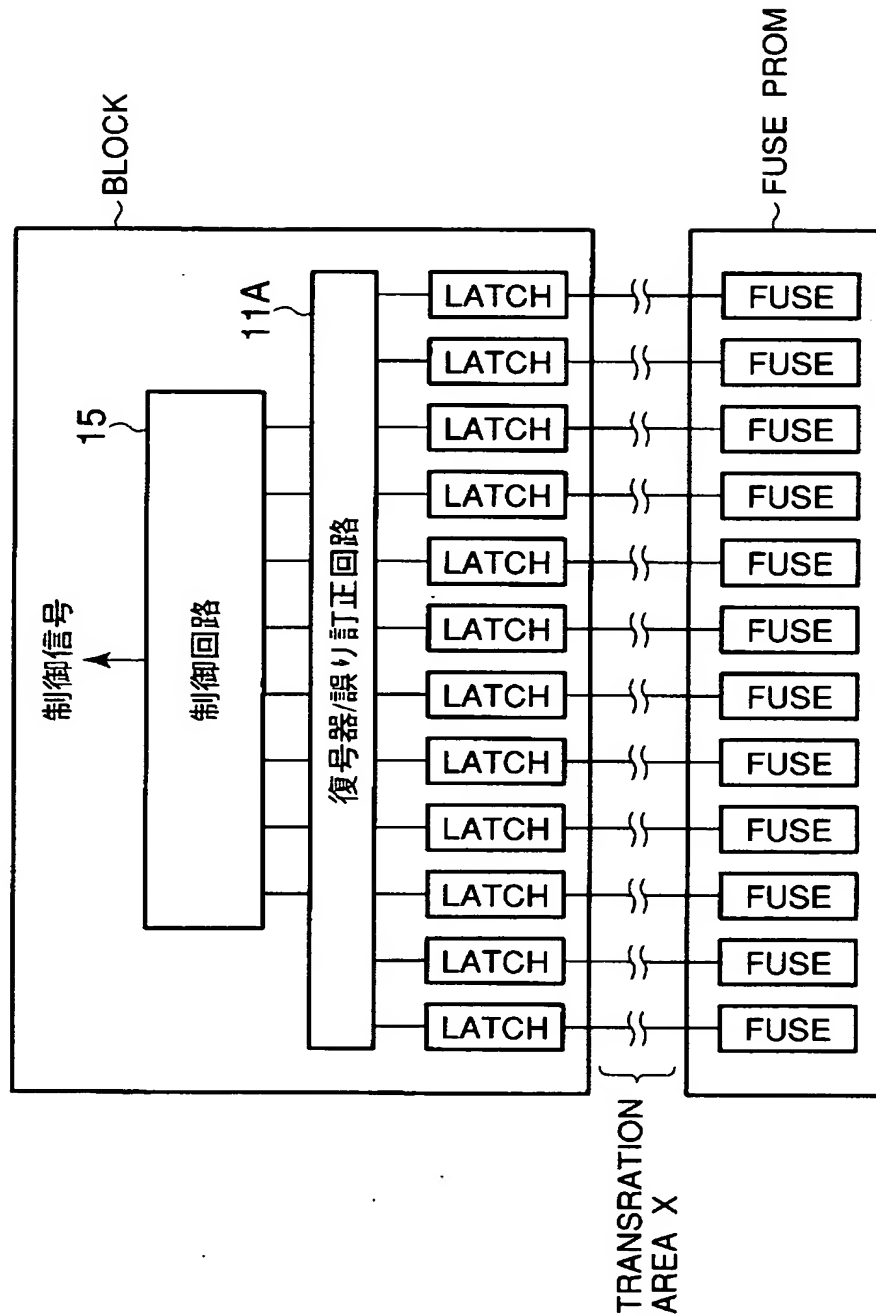
【図 8】



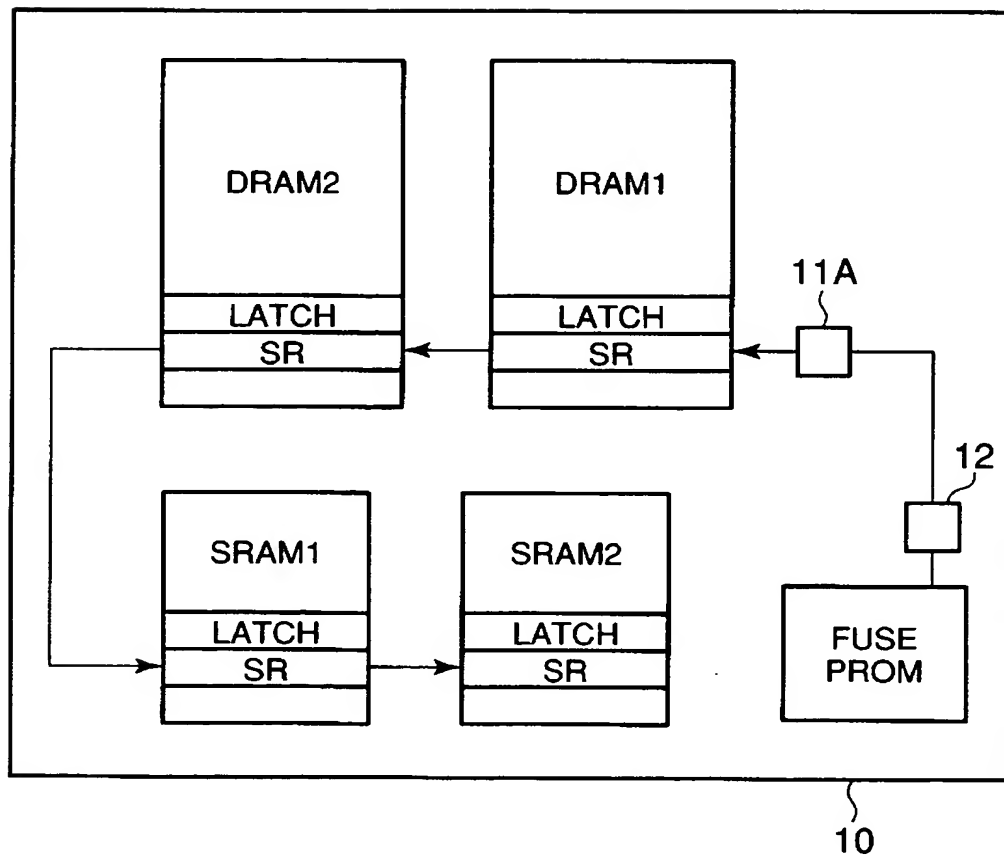
【図 9】



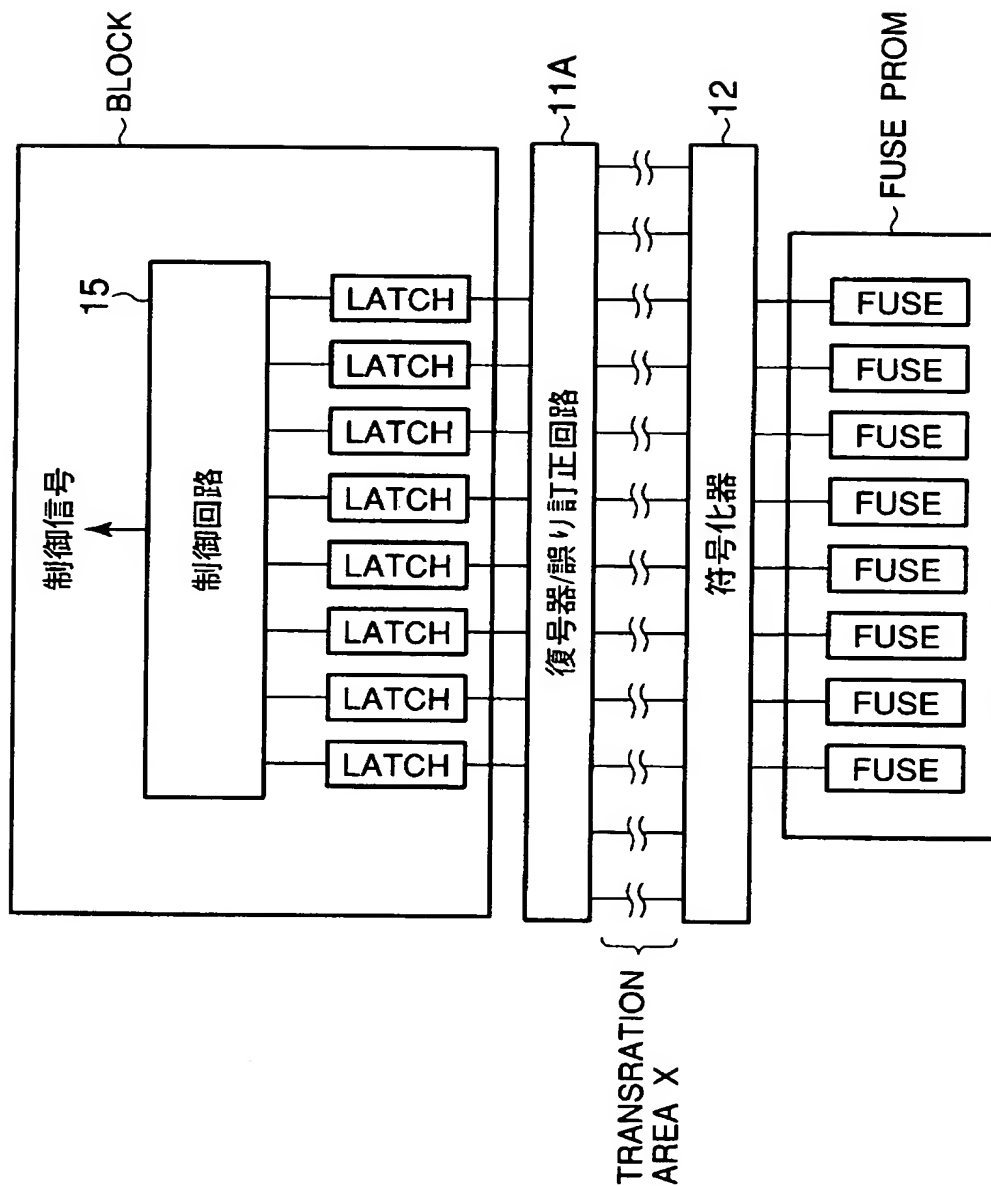
【図 10】



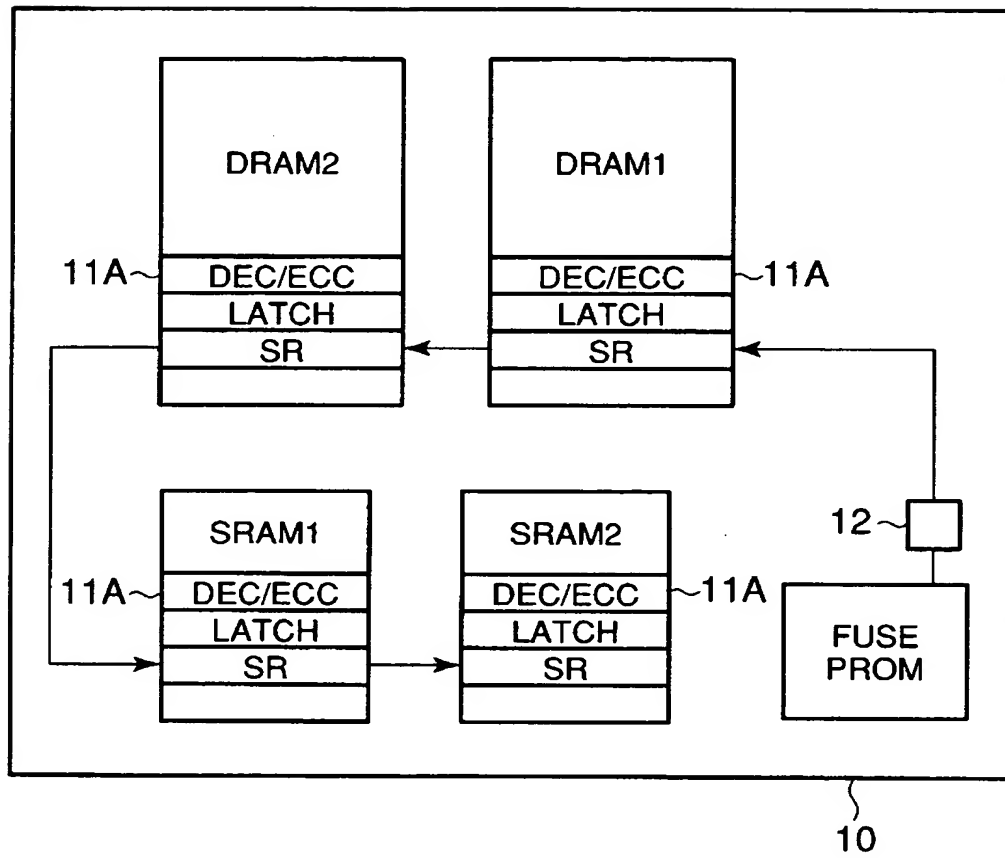
【図 11】



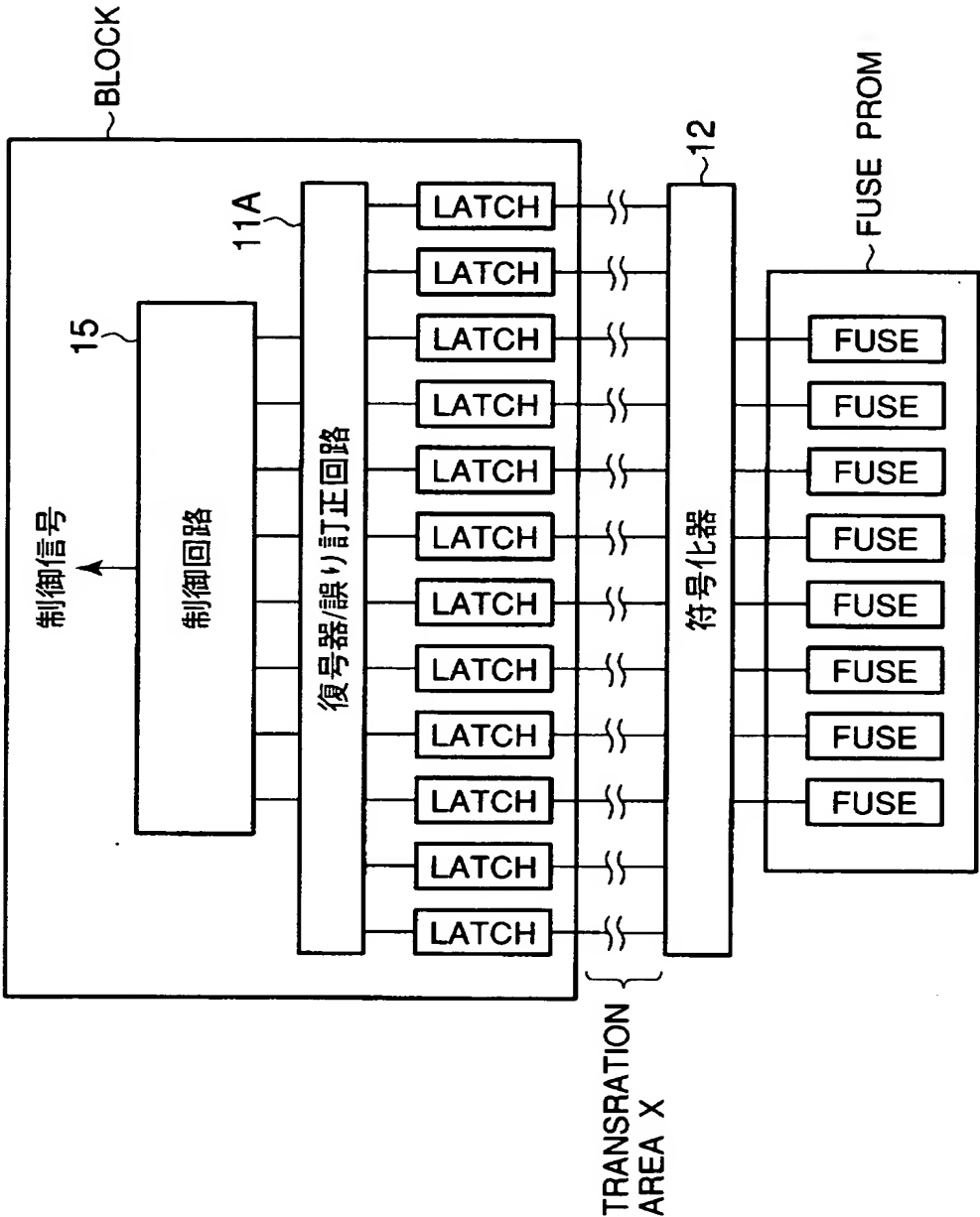
【図 12】



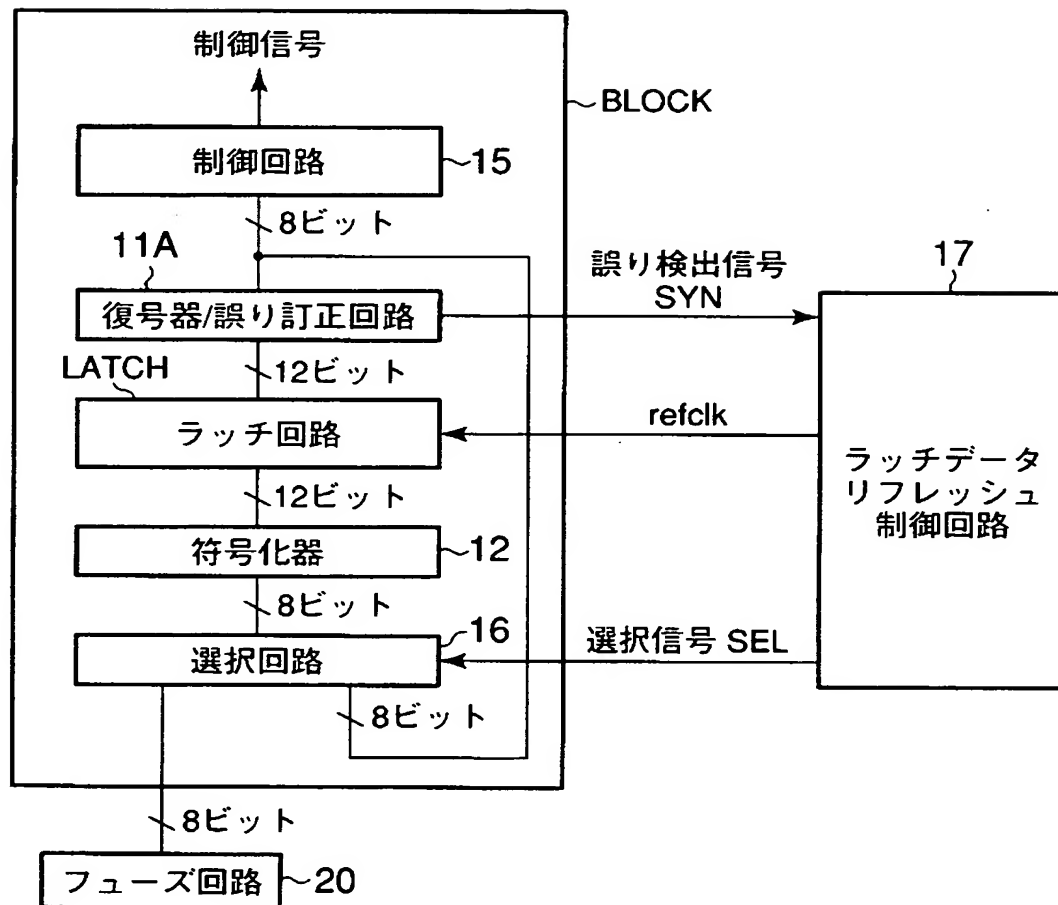
【図 13】



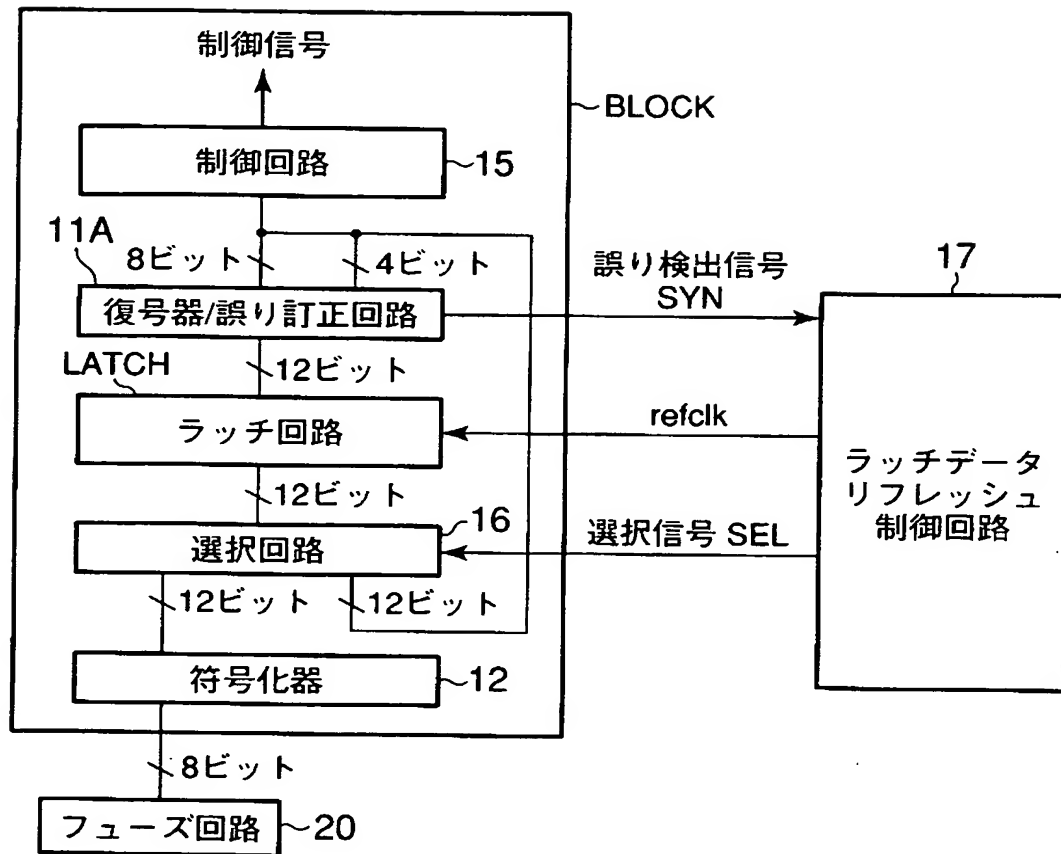
【図 14】



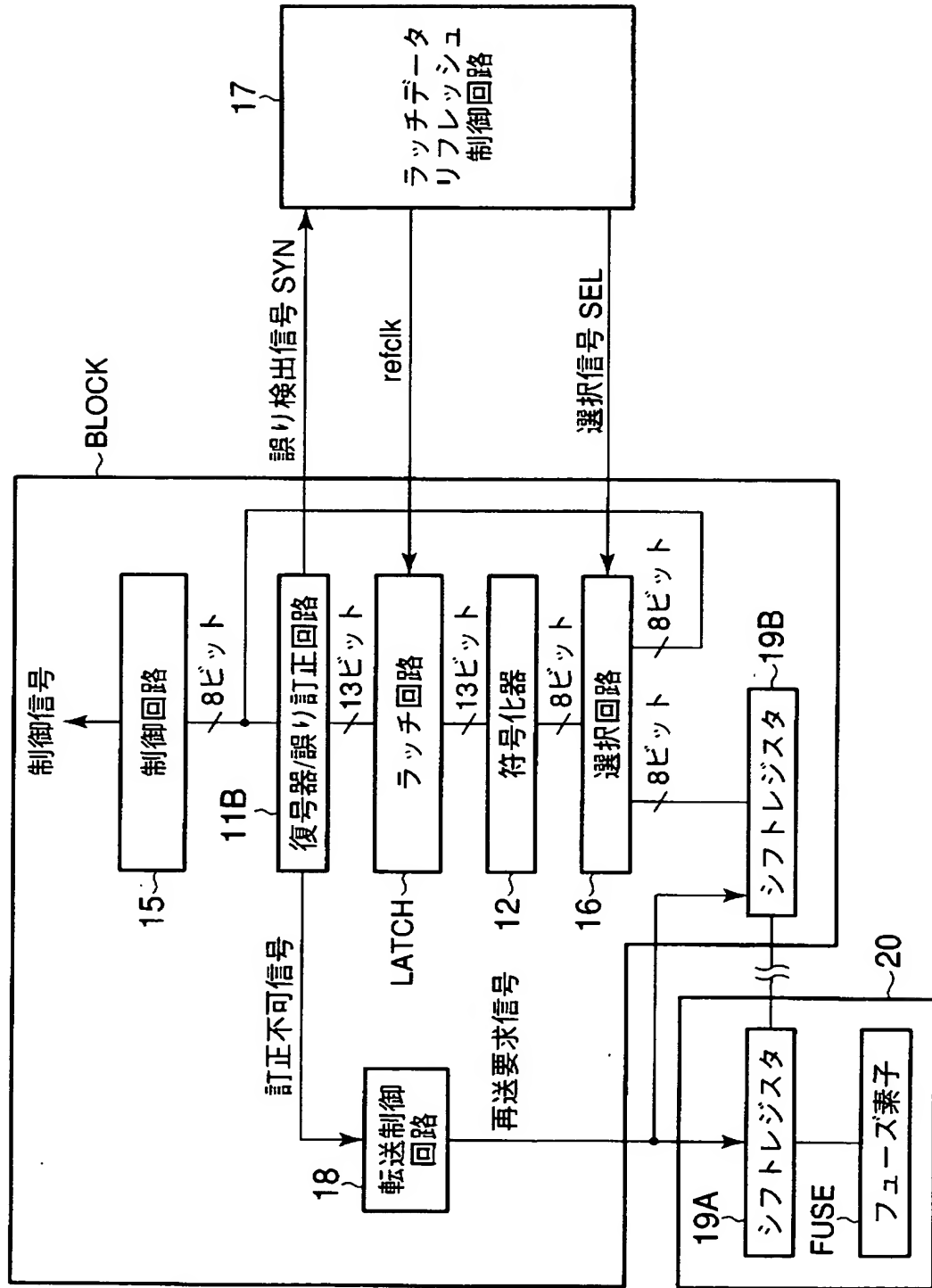
【図 15】



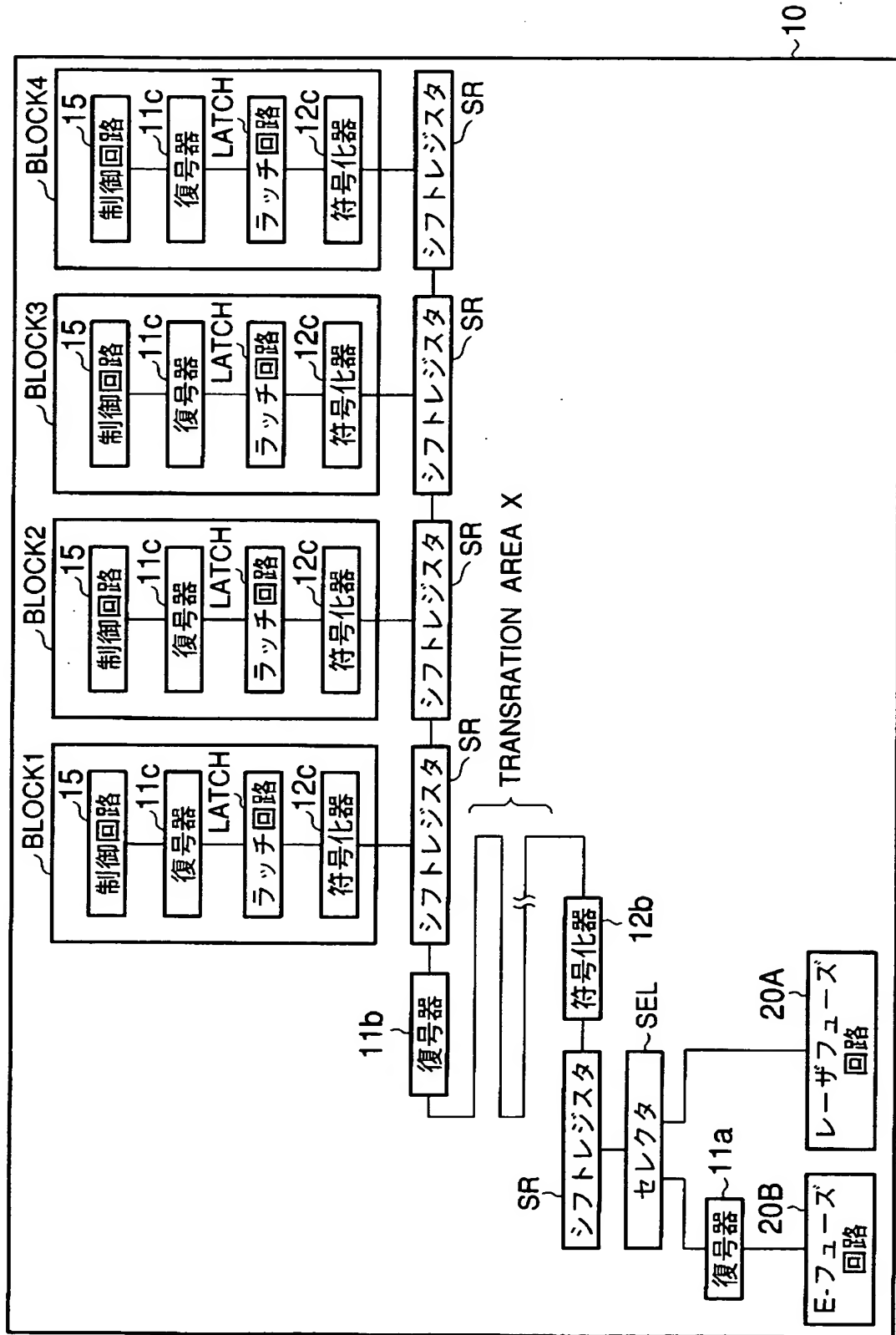
【図 16】



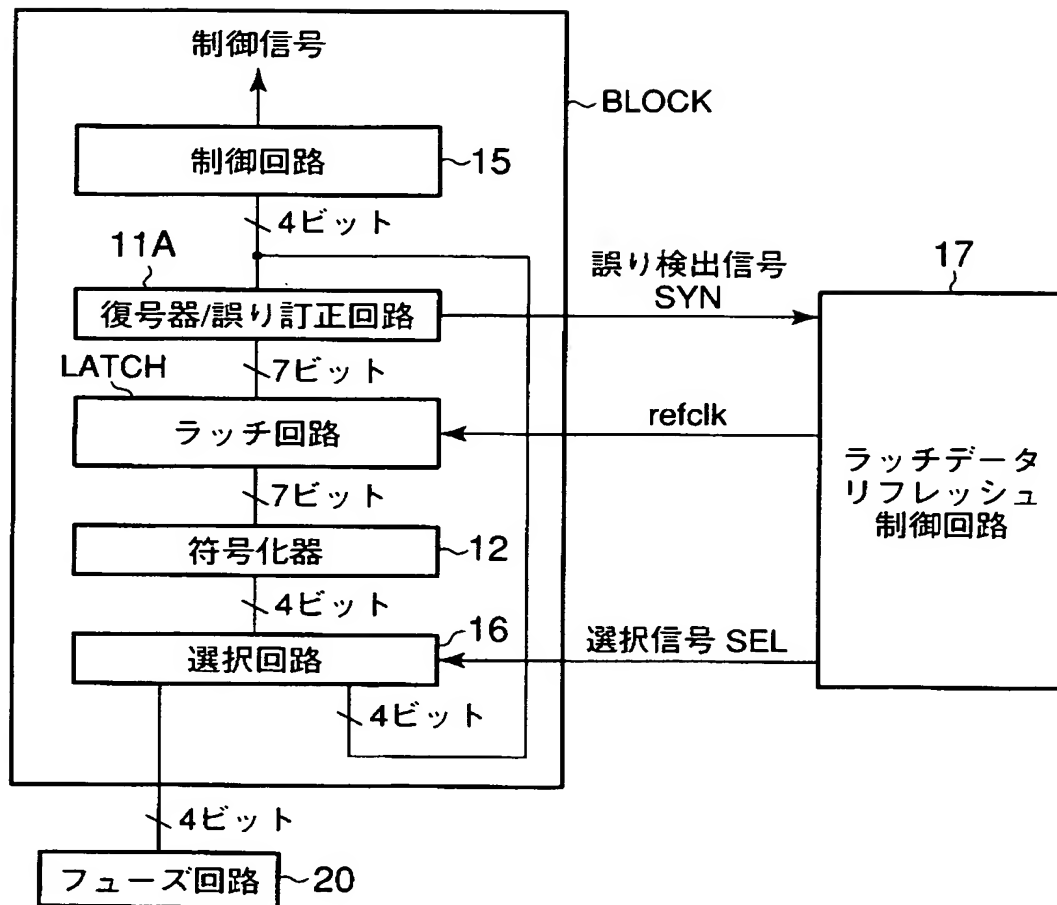
【図 17】



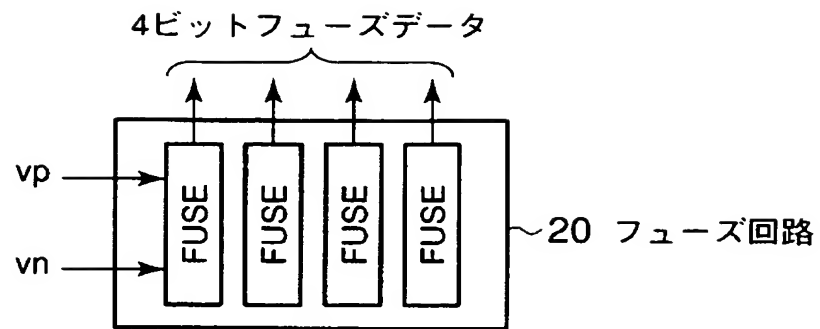
【図 18】



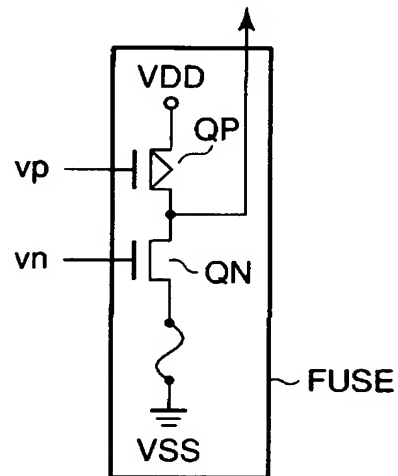
【図 19】



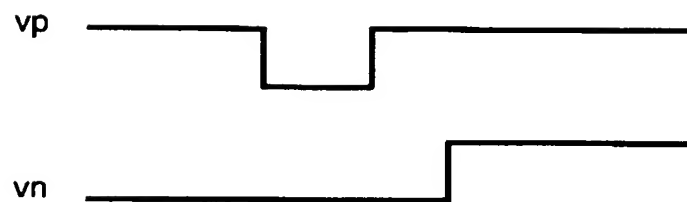
【図 20】



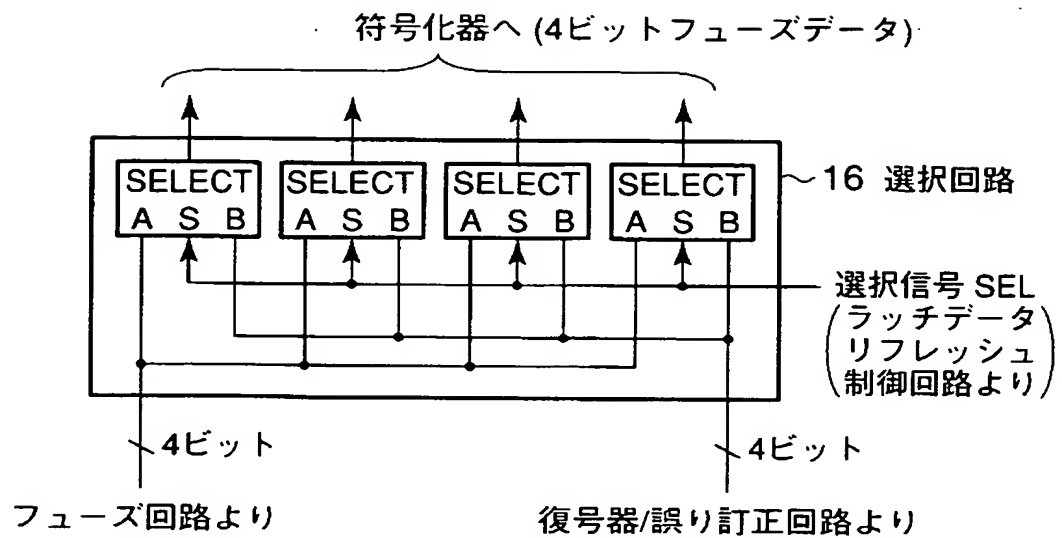
【図 21】



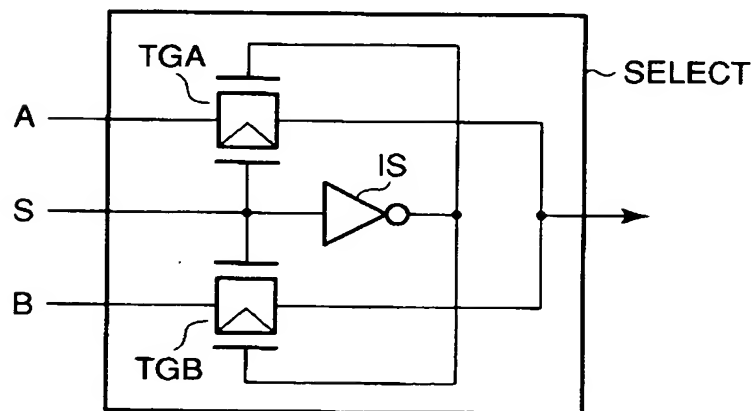
【図 22】



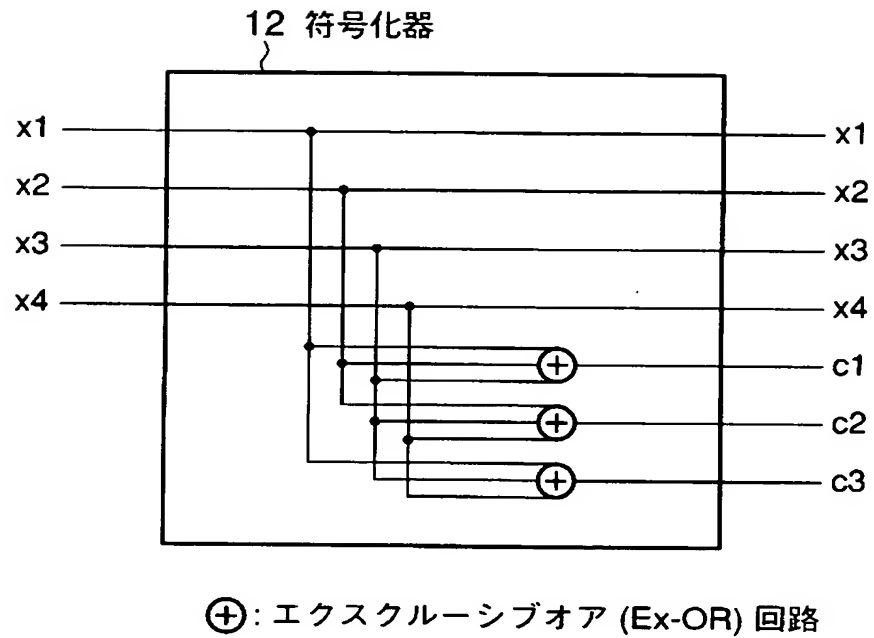
【図 23】



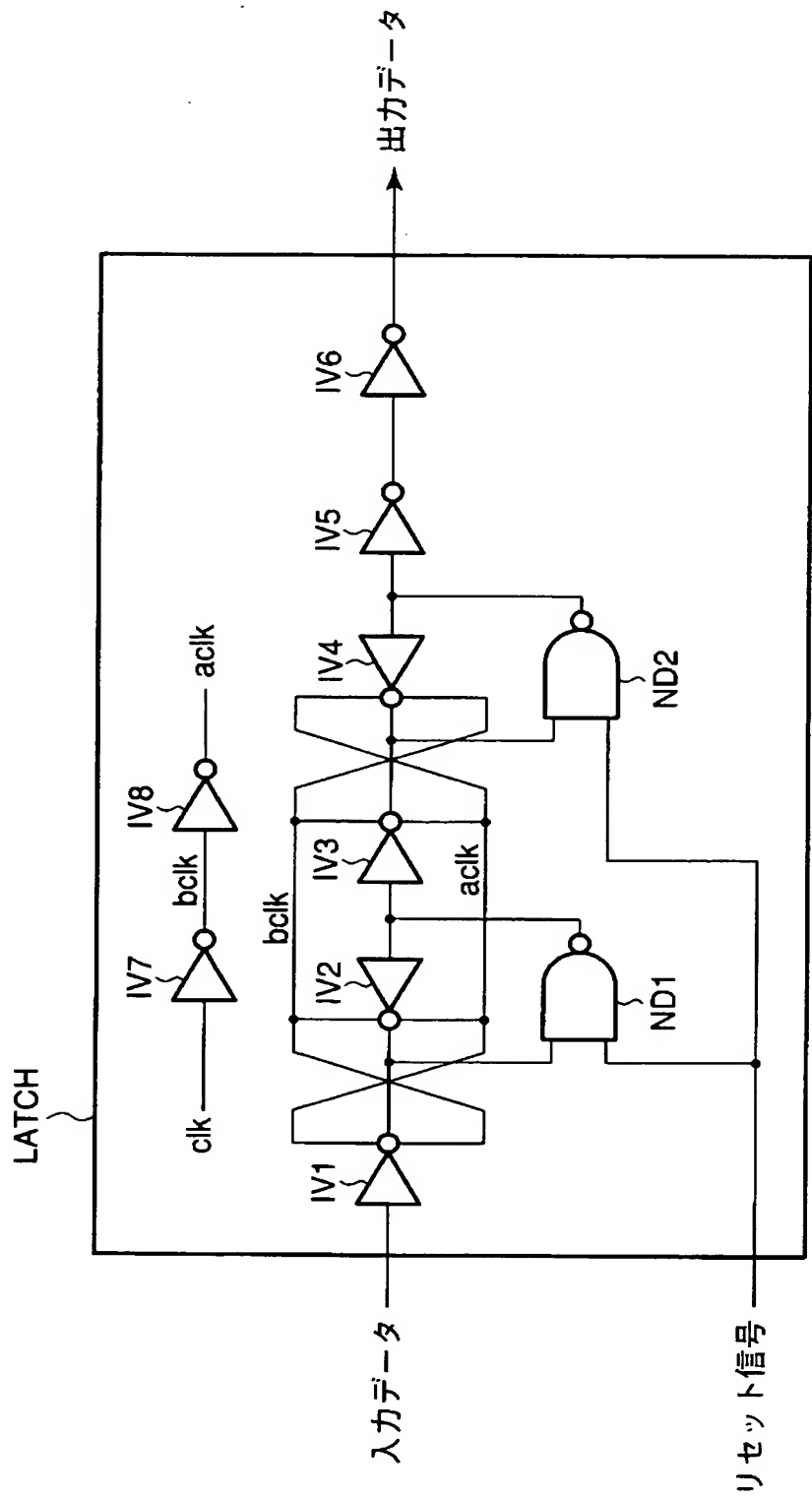
【図 24】



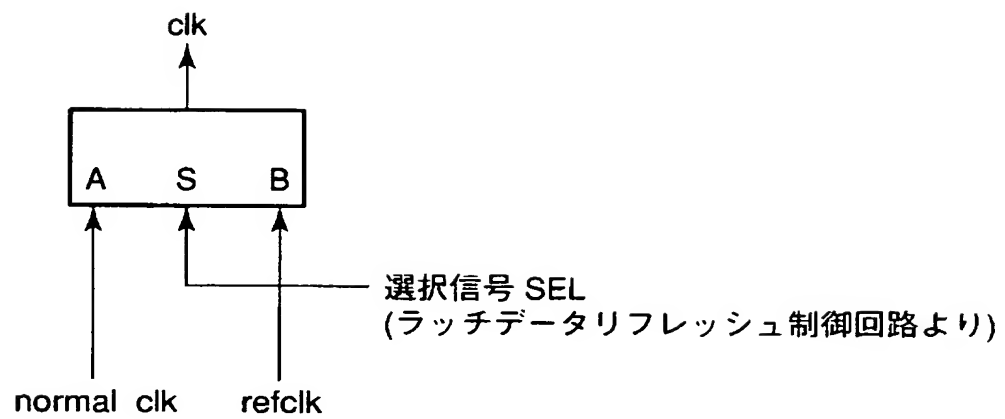
【図 25】



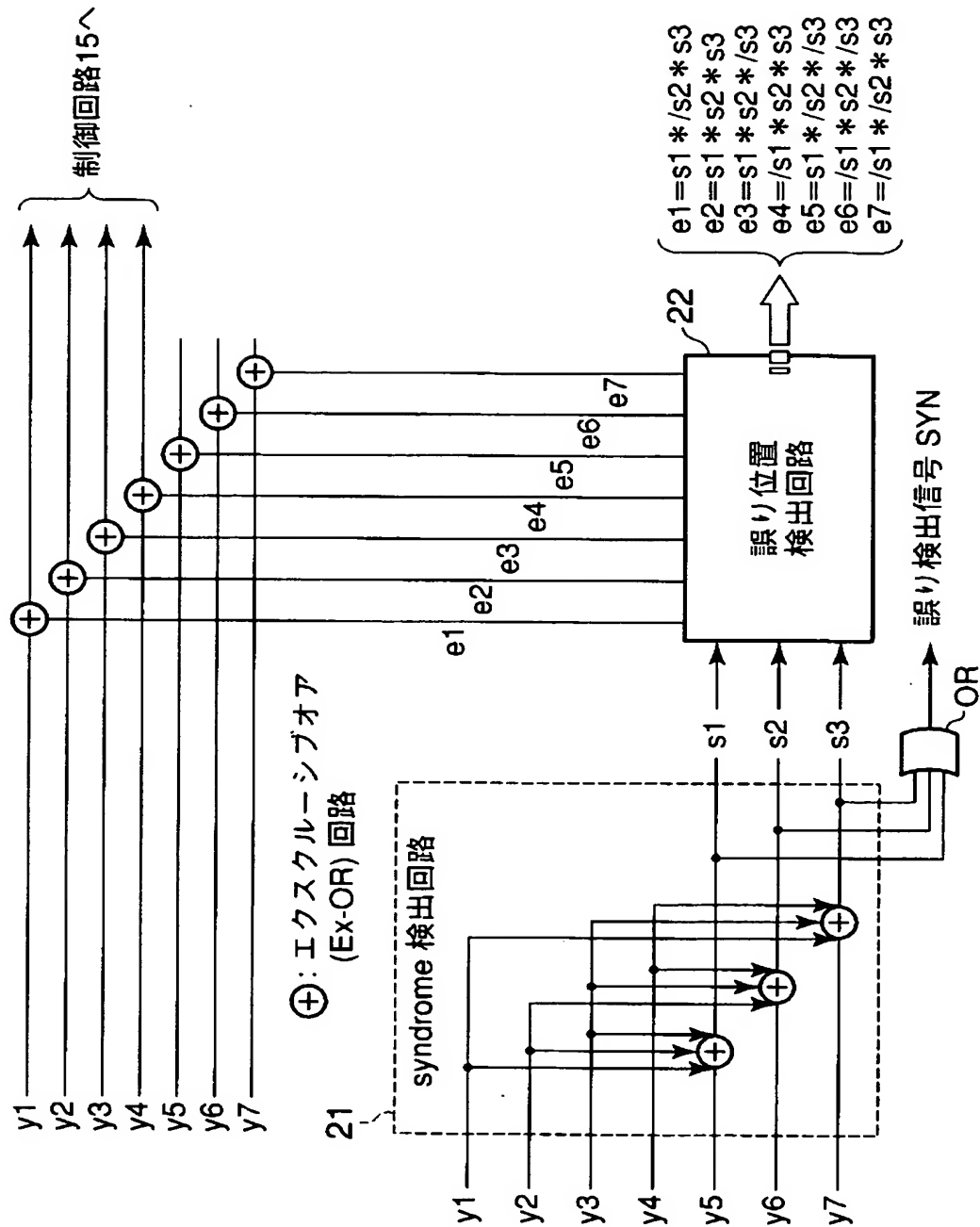
【図 26】



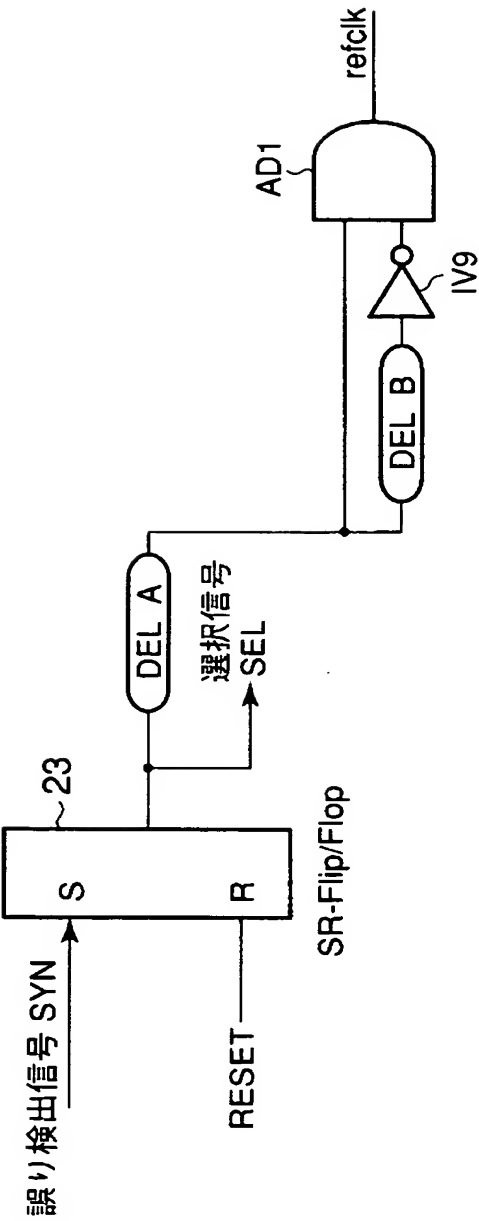
【図 27】



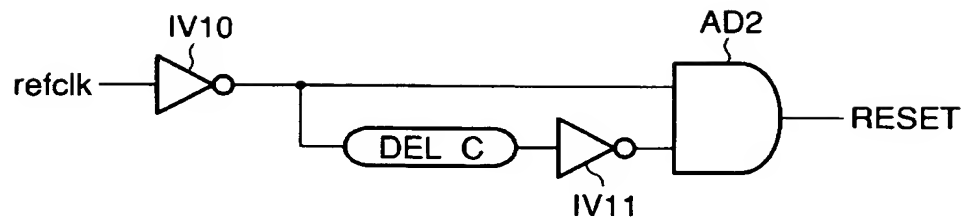
【図28】



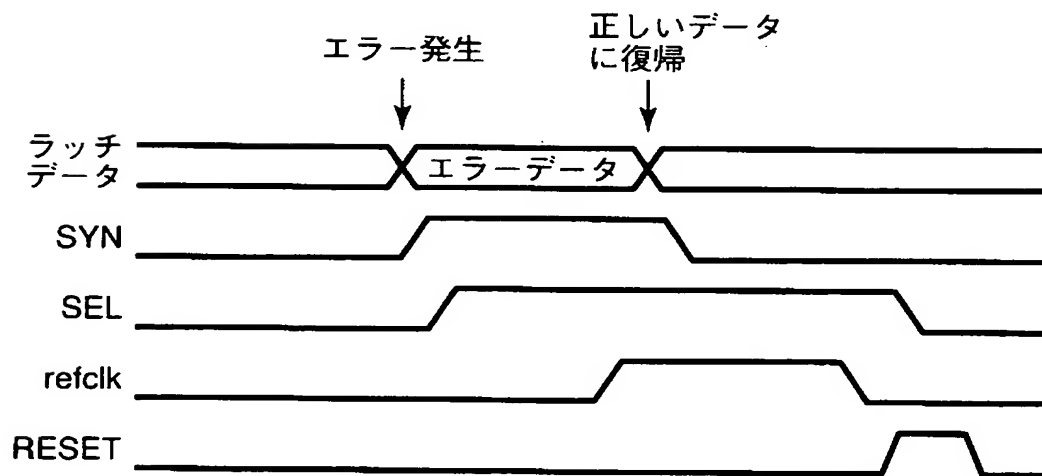
【図 29】



【図 30】



【図 31】



【書類名】 要約書

【要約】

【課題】 フューズデータの誤り検出／訂正を可能にする。

【解決手段】

複数の機能ブロック D R A M 1, D R A M 2, S R A M 1, S R A M 2 には、それぞれ、シフトレジスタ S R による転送経路によりフューズデータが供給される。フューズ素子の信頼性が低い場合には、フューズデータの一部に誤りがあるかも知れない。また、フューズデータの転送経路が長い場合には、ノイズの影響によりフューズデータの値が反転してしまうかも知れない。そこで、フューズデータの転送経路に復号器 1 1 を配置し、フューズ素子には、符号化されたデータを記憶させる。復号器 1 1 において、誤り検出／訂正を行うことにより、チップ動作などに関して、高い信頼性を確保する。

【選択図】 図 5

特願 2 0 0 3 - 3 4 5 9 7 5

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝